

Docket No.: W&B-INF-1852

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: September 3, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Michael Sommer
Appl. No. : 10/626,957
Filed : July 25, 2003
Title : Semiconductor Circuit Structure and Method for Fabricating the
Semiconductor Circuit Structure


CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 33 760.8 filed July 25, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: September 3, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 33 760.8

Anmeldetag: 25. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Halbleiter-Schaltungsstruktur sowie
Verfahren zur Herstellung einer Halbleiter-
Schaltungsstruktur

IPC: H 01 L 27/105

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 17. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, likely belonging to the President of the German Patent and Trademark Office.

Agurke

Beschreibung

Halbleiter-Schaltungsstruktur sowie Verfahren zur Herstellung einer Halbleiter-Schaltungsstruktur

5

Die Erfindung betrifft eine Schaltungsstruktur für ein Siliziumsubstrat sowie eine Array-Anordnung mit einer Vielzahl von auf einem Siliziumsubstrat angeordneten Schaltungsstrukturen. Des weiteren betrifft die Erfindung ein Verfahren zur Herstellung einer derartigen Array-Anordnung.

10

Das bekannteste Beispiel für eine regelmäßige Anordnung von identischen Halbleiterstrukturen auf einem Siliziumsubstrat ist eine Array-Anordnung von Speicherzellen. Das Ziel bei der Herstellung derartiger Speicherzellen-Arrays ist es, möglichst viele Speicherzellen auf einer möglichst geringen Siliziumfläche unterzubringen, um auf diese Weise Speicherchips mit hoher Speicherkapazität realisieren zu können. Die bekanntesten Typen von Speicherzellen sind DRAMs (Dynamic Random Access Memory) und SRAMs (Static Random Access Memory).

15

20

25

30

35

In einer DRAM-Speicherzelle wird die digitale Information als Ladung in einem Speicherkondensator abgelegt. Dieser Speicherkondensator kann platzsparend mit Hilfe eines in das Siliziumsubstrat geätzten Trenchlochs realisiert werden, wobei die Füllung des Trenchlochs als innere Kondensatorelektrode dient, und wobei das umgebende Siliziumsubstrat als äußere Elektrode des Speicherkondensators dient. Da die laterale Ausdehnung des Trenchlochs gering ist, ist die pro Speicherzelle benötigte Grundfläche gering. Ein Nachteil von DRAM-Speicherzellen-Arrays ist, dass in periodischen Abständen ein Refresh der in den Speicherkondensatoren abgelegten digitalen Information erforderlich ist. Der Grund hierfür ist, dass sich die Speicherkondensatoren infolge von Leckströmen entladen und die gespeicherte Information im Laufe der Zeit verloren geht. Um dies zu verhindern, wird die digitale Information in periodischen Abständen ausgelesen und anschließend wieder neu

in die Speicherzellen eingeschrieben. Die Durchführung dieses Refresh ist allerdings mit einem nicht unerheblichen Verbrauch von elektrischer Leistung verbunden.

- 5 Im Gegensatz dazu ist die beim Einsatz von SRAM-Speicherzellen benötigte elektrische Leistung sehr gering. In einer SRAM-Speicherzelle wird die digitale Information mit Hilfe einer bistabilen Kippstufe gespeichert. Eine derartige bistabile Kippstufe verfügt über zwei stabile Schaltungszustände.
- 10 Befindet sich die Schaltung in dem ersten Schaltungszustand, dann bedeutet dies, dass der digitale Wert "0" in der SRAM-Zelle gespeichert ist. Der zweite stabile Schaltungszustand der Kippstufe repräsentiert den digitalen Wert "1". Wegen der zwei möglichen Schaltungszustände werden bistabile Kippstufen
- 15 auch als "Flipflops" bezeichnet.

- Zur Realisierung einer SRAM-Speicherzelle wird neben der Flipflop-Schaltung zusätzlich ein Auswahltransistor benötigt. Über die Source-Drain-Strecke des Auswahltransistors wird das
- 20 Flipflop beschrieben bzw. ausgelesen. Insgesamt sind zur Realisierung einer SRAM-Speicherzelle fünf oder sogar sechs Feldeffekttransistoren erforderlich, welche bei konventionellem Chip-Layout nebeneinander angeordnet hergestellt werden. Hieraus ergibt sich ein im Vergleich zur DRAM-Zelle wesentlich höherer Platzbedarf für eine einzelne SRAM-Speicherzelle. Dem Vorteil einer geringen Leistungsaufnahme steht also
- 25 der Nachteil eines erhöhten Platzbedarfs gegenüber.

- Es ist daher Aufgabe der Erfindung, eine Schaltungsstruktur für ein Siliziumsubstrat, eine Array-Anordnung sowie ein Verfahren zur Herstellung einer Array-Anordnung zur Verfügung zu stellen, wobei die für eine Schaltungsstruktur des Arrays benötigte Siliziumfläche weiter verringert wird.
- 30

- 35 Diese Aufgabe wird erfindungsgemäß durch eine Schaltungsstruktur für ein Siliziumsubstrat gemäß Anspruch 1, durch eine Array-Anordnung gemäß Anspruch 18 sowie durch ein Ver-

fahren zur Herstellung einer Array-Anordnung gemäß Anspruch 20 gelöst.

Die erfindungsgemäße Schaltungsstruktur für ein Siliziumsubstrat weist einen beim Ätzen der Struktur stehen gelassenen Siliziumblock sowie mindestens zwei Ätzgräben auf, welche jeweils einer Seitenwand des stehen gelassenen Siliziumblocks zugeordnet sind und welche angrenzend an diese Seitenwand des Siliziumblocks aus dem Siliziumsubstrat herausgeätzt sind. Dabei sind die Ätzgräben in durch die Form des stehen gelassenen Siliziumblocks vorgegebenen Winkeln zueinander angeordnet. In den Ätzgräben sind jeweils Halbleiter-Schichtstrukturen angeordnet, wobei sich die Funktion der gesamten Schaltungsstruktur aus dem Zusammenwirken der in den verschiedenen Ätzgräben angeordneten Halbleiter-Schichtstrukturen ergibt.

Anstatt nebeneinander wie bei konventionellen Chip-Layouts, sind die Halbleiterstrukturen bei der erfindungsgemäßen Lösung in die Tiefe angeordnet. Hierzu werden rund um einen Siliziumblock Gräben geätzt, welche dann mit entsprechenden Halbleiter-Schichtstrukturen gefüllt werden. Innerhalb der Ätzgräben wechseln sich Isolierbereiche, welche durch die Abscheidung von Isolationsmaterial erzeugt werden, mit leitfähigen Bereichen, insbesondere Leiterbahnen, ab. Auch Feldefekttransistoren können innerhalb der Gräben strukturiert werden, wobei hier die dotierten Source- und Drain-Bereiche von dem Ätzgraben aus in den Siliziumblock hinein eingebracht werden, so dass der eigentliche Kanalbereich innerhalb des Siliziumblocks ausgebildet wird.

Die Seitenwände des Siliziumblocks erfüllen insofern die Funktion, die bei einem konventionellen planaren Chiplayout durch das Siliziumsubstrat erfüllt wird. Während bei einem planaren Schichtaufbau oberhalb des Siliziumsubstrats zunächst eine Gate-Contactor (GC)-Ebene, anschließend eine Via-Ebene, anschließend eine erste Metallisierungsebene mit Verbindungsbahnen, etc. angeordnet sind, sind diese verschiede-

nen funktionellen Ebenen bei dem erfindungsgemäßen Ansatz in die Vertikale geklappt. Man kann sich also die um den Siliziumblock herum angeordneten Gräben als um 90° verkippte Metallisierungsebenen bzw. Via-Ebenen veranschaulichen. Daraus ergibt sich gegenüber konventionellen Chip-Layouts der Vorteil eines immens abgesenkten Platzbedarfs für die jeweilige Halbleiterstruktur. Bei Verwendung der erfindungsgemäßen Schaltungsstruktur kann eine SRAM-Speicherzelle, welche bislang ein Vielfaches der Grundfläche einer DRAM-Zelle beansprucht hat, auf der gleichen Grundfläche wie eine DRAM-Speicherzelle aufgebaut werden.

In die verschiedenen, um den Siliziumblock gruppierten Ätzgräben lassen sich unterschiedliche Schichtstrukturen einbringen. Hierzu werden die einzelnen Ätzgräben nacheinander mittels separater Ätzmasken geätzt und anschließend sofort mit unterschiedlichen Schutzmaterialien aufgefüllt. Durch selektives Entfernen eines bestimmten Schutzmaterials kann dann ein spezieller Ätzgraben freigelegt werden. Daraufhin können in diesem Ätzgraben die zur Ausbildung einer bestimmten Schichtstruktur benötigten Schichten abgeschieden werden.

Da die einzelnen Ätzgräben an den verschiedenen Seiten eines Siliziumblocks angeordnet sind, schließen benachbarte Ätzgräben zueinander einen Winkel ein, der durch die Geometrie des Siliziumblocks vorgegeben wird. Da die einzelnen Ätzgräben zueinander über Eck angeordnet sind, lassen sich elektrische Verbindungen zwischen benachbarten Ätzgräben herstellen. Mit dieser Möglichkeit, elektrische Verbindungen zwischen unterschiedlichen Schichtstrukturen zu schaffen, können mit der erfindungsgemäßen Schaltungsstruktur auch komplexere Schaltungsanordnungen realisiert werden. Wenn als Siliziumblock ein quaderförmiger Block vorgesehen ist, dann kann die Schaltung auf vier verschiedene, miteinander in Verbindung stehende Ätzgräben aufgeteilt werden. Für noch kompliziertere Strukturen können auch Siliziumblöcke mit sechs- bzw. achteckiger Grundfläche vorgesehen werden, so dass die entspre-

chende Schaltungsanordnung auf sechs, acht oder sogar noch mehr Ätzgräben verteilt werden kann.

- 5 Es ist von Vorteil, wenn innerhalb der Ätzgräben leitfähige Strukturen angeordnet sind, welche vorzugsweise aus Polysilizium bestehen. Zur Strukturierung von leitfähigen Bahnen innerhalb der Ätzgräben wird eine Schicht leitfähigen Materials in den entsprechenden Ätzgraben abgeschieden. Als Material für derartige leitfähige Strukturen eignet sich insbesondere
- 10 hoch dotiertes Polysilizium.

- Entsprechend einer vorteilhaften Ausführungsform der Erfindung sind innerhalb der Ätzgräben Feldeffekttransistoren ausgebildet. Dabei umfasst ein Feldeffekttransistor einen ersten, sich in den Siliziumblock hinein erstreckenden Diffundierbereich als ersten Source- bzw. Drain-Bereich, einen leitfähigen Gatebereich sowie einen zweiten, sich in den Siliziumblock hinein erstreckenden Diffundierbereich als zweiten Source- bzw. Drain-Bereich. In Abhängigkeit vom Potential des Gatebereichs kann zwischen dem ersten und dem zweiten Source- bzw. Drain-Bereich ein leitfähiger Kanal ausgebildet werden.

- Zur Herstellung eines Feldeffekttransistors in einem der Ätzgräben wird zunächst eine stark dotierte Polysiliziumschicht in den Ätzgraben abgeschieden. Mittels eines Temperaturschritts wird anschließend ein Eindiffundieren der Dotieratome in den Siliziumblock veranlasst. Auf diese Weise wird ein Diffundierbereich geschaffen, der sich von der im Graben angeordneten hochdotierten Schicht in den Siliziumblock hinein erstreckt. Dieser Diffundierbereich stellt den ersten Source- bzw. Drain-Bereich des Feldeffekttransistors dar. Nach dem Ausdiffundieren kann die hochdotierte Schicht im Ätzgraben wieder entfernt werden. Zur Erzeugung des Gatebereichs des Feldeffekttransistors wird zunächst ein Gateoxid auf die Seitenwand des Siliziumblocks aufgebracht. Diese Gateoxidschicht isoliert den Kanalbereich des Feldeffekttransistors von der

Gate-Elektrode. Nach dem Aufwachsen des Gateoxids wird leitfähiges Material in den Ätzgraben abgeschieden, welches als Gatebereich dient. Als nächstes muss der zweite Source- bzw. Drain-Anschluss hergestellt werden. Hierzu wird wiederum hoch dotiertes Polysilizium in den Ätzgraben abgeschieden und anschließend durch Erhitzen in den Siliziumblock eindiffundiert. Dadurch wird ein eindiffundierter Streifen von hoher Dotierkonzentration erzeugt, welcher sich innerhalb des Siliziumblocks horizontal über die gesamte Seitenwand des Siliziumblocks erstreckt. Damit ist eine Struktur geschaffen, bei der zwischen dem ersten und dem zweiten streifenförmigen Source- bzw. Drain-Bereich ein Kanalbereich angeordnet ist. In Abhängigkeit vom Potential des Gatebereichs bildet sich ein leitfähiger Kanal zwischen den streifenförmigen Source- bzw. Drain-Bereichen aus. Der so erzeugte Feldeffekttransistor ist sehr breit und weist deshalb eine hohe Stromergiebigkeit auf.

Wegen des einfachen, drei Schichten umfassenden Aufbaus eines derartigen Feldeffekttransistors können mehrere Feldeffekttransistoren übereinander innerhalb eines Ätzgrabens untergebracht werden.

Es ist von Vorteil, wenn innerhalb des Siliziumblocks Gebiete mit verschiedenen Dotierkonzentrationen und/oder verschiedenen Leitfähigkeitstyp angeordnet sind. Mit Hilfe der Ionenimplantation ist es möglich, von der Oberfläche des Siliziumblocks aus n- oder p-dotierte Implantationsbereiche einer vorbestimmten Dotierkonzentration in einer bestimmten Tiefe zu erzeugen. Beispielsweise ist es möglich, innerhalb des Siliziumblocks einen oberen p-dotierten Bereich sowie einen tiefer angeordneten n-dotierten Bereich zu erzeugen. Innerhalb ein- und desselben Siliziumblocks können verschiedene Dotierbereiche mit verschiedenem Leitfähigkeitstyp geschaffen werden. Dies ist insbesondere dann von Bedeutung, wenn zur Realisierung einer Schaltungsanordnung sowohl Feldeffekttransistoren vom n-Typ (n-FETs) als auch Feldeffekttransistoren vom

p-Typ (p-FETs) benötigt werden, wie dies beispielsweise bei SRAM-Speicherzellen der Fall ist. Ein n-FET muss innerhalb eines schwach p-dotierten Substratbereichs ausgebildet werden, während umgekehrt ein p-FET in einem schwach n-dotierten Substratbereich angeordnet sein muss. Mit Hilfe der Ionenimplantation können innerhalb ein- und desselben Siliziumblocks verschieden dotierte Substratbereiche erzeugt werden.

Es ist von Vorteil, wenn leitfähige Strukturen innerhalb eines ersten Ätzgrabens und leitfähige Strukturen innerhalb eines benachbarten zweiten Ätzgrabens über dotierte Diffundierbereiche miteinander elektrisch verbunden sind, welche sich von dem ersten und dem zweiten Ätzgraben aus in den stehengelassenen Siliziumblock hinein erstrecken und einen Überlappungsbereich aufweisen. Mit Hilfe dieser Technik der überlappenden Diffundierbereiche ist eine Möglichkeit gegeben, einen von einem ersten Ätzgraben aus erzeugten Diffundierbereich mit einem in gleicher Tiefe angeordneten, von einem zweiten Ätzgraben aus erzeugten Diffundierbereich elektrisch zu verbinden. Damit ist es möglich, elektrische Verbindungen zwischen den unterschiedlichen Schichtstrukturen in den verschiedenen Ätzgräben herzustellen. Wenn der Überlappungsbereich sowie die Dotierkonzentrationen in den Diffundierbereichen hinreichend groß gewählt werden, dann wird zwischen den beteiligten Diffundierbereichen eine gut leitende Verbindung hergestellt.

Dabei ist es von Vorteil, wenn jeweils in einem der Ätzgräben die Spannungsversorgungsleitungen und Signalleitungen für die Halbleiterstrukturen untergebracht sind. Zu den benachbarten Ätzgräben können dann jeweils elektrische Verbindungen hergestellt werden, um die in diesen Ätzgräben untergebrachten Strukturen mit Spannung zu versorgen, und um bestimmte Signale zur Verfügung zu stellen. Dies führt zu einem übersichtlicheren Chip-Layout; das Design der Schaltung wird vereinfacht.

Weiterhin ist es von Vorteil, wenn jeweils in einem der Ätzgräben die Spannungsversorgungsleitungen und Signalleitungen untergebracht sind, wenn in einem weiteren Ätzgraben die Halbleiterstrukturen untergebracht sind, und wenn in einem weiteren Ätzgraben die Verschaltungen der Halbleiterstrukturen untergebracht sind. Diese Ausführungsform weist Parallelen zu einem konventionellen planaren Aufbau auf, bei dem sich Metallisierungsebenen und Via-Ebenen miteinander abwechseln. Der Ätzgraben, in dem die Halbleiterstrukturen untergebracht sind, entspricht dabei einer Metallisierungsebene, während der Ätzgraben, in dem die Verschaltungen untergebracht sind, eher einer Via-Ebene entspricht. Auf diese Weise ergibt sich ein Chip-Layout, bei dem die Halbleiterstrukturen in einem Ätzgraben untergebracht sind, während sie von den anderen Ätzgräben aus beliebig verschaltet werden können.

Gemäß einer vorteilhaften Ausführungsform der Erfindung handelt es sich bei dem Siliziumblock um einen Siliziumquader. Dabei ist es insbesondere von Vorteil, wenn um den Siliziumquader herum vier Ätzgräben angeordnet sind. Bei dieser Ausführungsform der Erfindung ergibt sich ein schachbrettartiges Chip-Layout. Eine derart regelmäßige Anordnung der Ätzgräben bietet fertigungstechnische Vorteile. Darüber hinaus reichen vier um den Siliziumblock herum angeordnete Ätzgräben meist aus, um auch komplexere Schaltungsstrukturen unterzubringen.

Gemäß einer vorteilhaften Ausführungsform der Erfindung handelt es sich bei der Schaltungsstruktur um eine SRAM-Speicherzelle. SRAM-Speicherzellen sind aus mehreren Feldeffekttransistoren aufgebaut, so dass sich bei einem konventionellen planaren Aufbau ein erheblicher Platzbedarf pro SRAM-Speicherzelle ergibt. Insofern macht es gerade bei SRAM-Speicherzellen Sinn, die entsprechenden Strukturen entsprechend der erfindungsgemäßen Lösung in Ätzgräben anzuordnen, so dass sie als vergrabene Strukturen weniger Platz beanspruchen. Dadurch kann der pro SRAM-Speicherzelle benötigte Platz auf dem Siliziumsubstrat stark verringert werden. Bei Einsatz der er-

findungsgemäßen Lösung ergibt sich pro SRAM-Speicherzelle ein Platzbedarf, der in etwa dem Platzbedarf einer DRAM-Speicherzelle entspricht.

5 Es ist von Vorteil, wenn die SRAM-Speicherzelle mehrere zu einem Flipflop verschaltete Feldeffekttransistoren sowie einen Auswahltransistor umfasst. Die pro SRAM-Speicherzelle benötigten fünf oder sechs Feldeffekttransistoren können problemlos in den um den Siliziumblock herum angeordneten Ätzgräben untergebracht werden.

15 Dabei ist es von Vorteil, wenn die zu einem Flipflop verschalteten Feldeffekttransistoren sowohl n-FETs als auch p-FETs umfassen, wobei die n-FETs im Bereich eines p-dotierten Gebiets des Siliziumblocks angeordnet sind, und wobei die p-FETs im Bereich eines n-dotierten Gebiets des Siliziumblocks angeordnet sind. Ein Flipflop der in dieser Anmeldung beschriebenen Art umfasst sowohl n-FETs als auch p-FETs. Während n-FETs innerhalb eines p-dotierten Substrats angeordnet sein müssen, ist für p-FETs ein n-dotiertes Substrat erforderlich. Die beiden Typen von FETs können aber dennoch innerhalb eines gemeinsamen Siliziumblocks angeordnet werden, wenn dieser Siliziumblock mehrere Substratbereiche von verschiedenem Dotiertyp aufweist. Beispielsweise könnte von der Oberfläche des Siliziumblocks aus mittels Ionenimplantation ein oberer, p-dotierter Bereich sowie ein tiefer gelegener, n-dotierter Bereich erzeugt werden. Die n-FETs können dann innerhalb des oberen, p-dotierten Bereichs angeordnet werden, während die p-FETs im n-dotierten Bereich untergebracht sind.

30

Es ist von Vorteil, wenn das Flipflop über die Source-Drain-Strecke des Auswahltransistors mit einer an der Oberfläche des Siliziumsubstrats angeordneten Bitleitung verbunden werden kann. Wenn die Source-Drain-Strecke leitet, dann ist das Flipflop über den Auswahltransistor mit der zugehörigen Bitleitung verbunden. Über die Bitleitung kann das Flipflop dann ausgelesen bzw. beschrieben werden. Die den verschiedenen

35

SRAM-Speicherzellen zugeordneten Bitleitungen sind parallel zueinander an der Oberfläche des Siliziumsubstrats angeordnet und nehmen keinen zusätzlichen Platz in Anspruch.

5 Es ist von Vorteil, wenn der Auswahltransistor mittels einer in einem der Ätzgräben angeordneten Wortleitung aktiviert werden kann. Über die Wortleitung wird das Flipflop ausgewählt, welches dann über zugehörige Bitleitung beschrieben und ausgelesen werden kann. Entsprechend dem an der Wortlei-
10 tung anliegenden Potential wird die Source-Drain-Strecke des Auswahltransistors durchgeschaltet oder gesperrt. Wenn die Wortleitungen innerhalb der Ätzgräben angeordnet werden, dann ergibt sich kein zusätzlicher Platzbedarf für die Wortleitungen.

15 Gemäß einer vorteilhaften Ausführungsform der Erfindung dient die Wortleitung als Gatebereich des Auswahltransistors, wobei zwischen der Wortleitung und dem Siliziumblock eine Gateoxidschicht angeordnet ist. In Abhängigkeit vom Potential der
20 Wortleitung kann sich dann unterhalb der Gateoxidschicht ein leitfähiger Kanal ausbilden, und die Source-Drain-Strecke des Auswahltransistors wird in den leitfähigen Zustand überführt. Wenn die Wortleitung in einem der Ätzgräben so angeordnet wird, dass sie benachbart zu dem aktiven Bereich zwischen
25 Source-Elektrode und Drain-Elektrode verläuft, dann kann die Wortleitung selbst als Gatebereich des Auswahltransistors dienen, und die Geometrie der Schaltungsanordnung wird weiter vereinfacht. Wenn die Wortleitung so angeordnet wird, dass sie unmittelbar als Gatebereich des Auswahltransistors dienen
30 kann, dann resultiert daraus eine zusätzliche Platzersparnis.

Es ist von Vorteil, wenn der obere Bereich des Siliziumblocks als dotiertes Gebiet ausgebildet ist, mit dem die an der
35 Oberfläche des Siliziumsubstrats angeordnete Bitleitung ankontaktiert wird. Mit Hilfe eines hochdotierten Gebiets am oberen Ende des Siliziumblocks lässt sich eine zuverlässige Bitleitungs-Kontaktierung realisieren. Der dotierte Bereich

am oberen Ende des Siliziumblocks lässt sich auf einfache Weise mittels Ionenimplantation von der Oberfläche des Siliziumblocks aus erzeugen.

5 Dabei ist es von Vorteil, wenn der obere Bereich des Siliziumblocks als dotiertes Gebiet ausgebildet ist, welches als Source- bzw. Drain-Elektrode des Auswahltransistors dient. Der hoch dotierte Bereich am oberen Ende des Siliziumblocks erfüllt insofern eine Doppelfunktion: Zum einen dient dieser Bereich zur Ankontaktierung der darüber verlaufenden Bitleitung, zum anderen kann der Auswahltransistor so angeordnet werden, dass der dotierte obere Bereich des Siliziumblocks zugleich als obere Source- bzw. Drain-Elektrode des Auswahltransistors dient. Hierzu ist der Auswahltransistor in einem der Ätzgräben so angeordnet, dass sich der Gatebereich des Auswahltransistors etwas unterhalb des dotierten oberen Bereichs des Siliziumblocks befindet. Dadurch kann unterhalb des dotierten oberen Bereichs des Siliziumblocks ein Kanalbereich ausgebildet werden, über den dann eine Verbindung zu dem Flipflop der SRAM-Speicherzelle hergestellt werden kann. Auf diese Weise wird eine besonders platzsparende Anordnung der verschiedenen funktionellen Elemente erreicht, welche sich zudem auf einfache Weise herstellen lässt.

25 Die erfindungsgemäße Array-Anordnung umfasst eine Vielzahl von auf einem Siliziumsubstrat angeordneten Schaltungsstrukturen der oben beschriebenen Art. Bei der Fertigung eines derartigen Arrays können sämtliche an einer bestimmten Seite der Siliziumblöcke angeordneten Ätzgräben in einem einzigen Verfahrensschritt gleichzeitig geätzt werden. Auch der Aufbau der Schichtstrukturen kann für alle einer bestimmten Seite der Siliziumblöcke zugeordneten Ätzgräben gleichzeitig durchgeführt werden. Vom fertigungstechnischen Aufwand her macht es daher keinen Unterschied, ob lediglich eine einzelne Schaltungsstruktur oder ein ganzes Array von wiederholt angeordneten Schaltungsstrukturen gefertigt wird. Aus diesem Grund eignet sich die Erfindung insbesondere für die Herstel-

lung von Arrays, bei denen eine bestimmte Grundschaltung wiederholt und in regelmäßiger Anordnung auf einem Siliziumsubstrat angeordnet wird. Insbesondere Speicherzellen, und speziell SRAM-Speicherzellen, sind in derartigen Arrays angeordnet und eignen sich daher für die erfindungsgemäße Lösung.

Gemäß einer vorteilhaften Ausführungsform der Erfindung sind die jeweils angrenzend an eine bestimmte Seitenwand der Siliziumblöcke angeordneten Ätzgräben zu durchgehenden, sich über mehrere Siliziumblöcke hinweg erstreckenden Ätzgräben verlängert, wobei in diesen durchgehenden Ätzgräben Spannungsversorgungsleitungen und Signalleitungen untergebracht sind. Bei dieser Ausführungsform der erfindungsgemäßen Array-Anordnung sind lange Ätzgräben vorgesehen, welche entlang einer Vielzahl von erfindungsgemäßen Schaltungsstrukturen verlaufen und diese unter anderem mit Spannung versorgen. Innerhalb der langen Ätzgräben ist eine Schichtstruktur untergebracht, welche neben den Spannungsversorgungsleitungen auch andere Signalleitungen umfasst, um so den Austausch von Signalen zwischen den verschiedenen Schaltungsstrukturen zu ermöglichen. Mit Hilfe von durchgehenden Ätzgräben lässt sich jeweils eine ganze Gruppe von Schaltungsstrukturen mit Spannung versorgen. Auf diese Weise wird eine zentrale Spannungsversorgung des Arrays ermöglicht. Dies ist wesentlich einfacher und platzsparender, als wenn jede Schaltungsstruktur einzeln mit Spannung versorgt werden müsste.

Bei dem erfindungsgemäßen Verfahren zur Herstellung einer Array-Anordnung mit einer Vielzahl von auf einem Siliziumsubstrat angeordneten Schaltungsstrukturen werden zunächst erste Ätzgräben jeweils angrenzend an erste Seitenwände von Siliziumblöcken geätzt. Die Siliziumblöcke werden dabei nicht geätzt und bleiben stehen. Anschließend werden die ersten Ätzgräben mit einer ersten Schutzisolation aufgefüllt. In einem nächsten Schritt werden weitere Ätzgräben jeweils angrenzend an weitere Seitenwände der Siliziumblöcke geätzt. Diese weiteren Ätzgräben werden daraufhin mit einer zweiten Schutziso-

lation aufgefüllt. Die letzten beiden Schritte werden so oft wiederholt, bis alle benötigten Ätzgräben erzeugt sind. Bei diesem Herstellungsverfahren können mit einer ersten Ätzmaske sämtliche an einer bestimmten Seite der Siliziumblöcke angeordneten Ätzgräben strukturiert werden. Diese Gräben werden dann mit einer Schutzisolierung versiegelt. Anschließend werden weitere Ätzgräben strukturiert, welche dann ebenfalls mit einer Schutzisolation gefüllt werden. Erst wenn alle Ätzgräben erzeugt sind, wird mit der Herstellung der Schichtstrukturen innerhalb der einzelnen Ätzgräben begonnen. Dies hat den Vorteil, dass bei der Strukturierung der einzelnen Schichten einer Schichtstruktur nicht mehr auf aggressive Ätzprozesse Rücksicht genommen werden muss.

Es ist von Vorteil, wenn das Herstellungsverfahren einen weiteren Schritt des selektiven Herausätzens der jeweiligen Schutzisolation sowie einen sich anschließenden Schritt des Erzeugens der jeweiligen Halbleiter-Schichtstruktur in den jeweiligen Ätzgräben umfasst. Auf diese Weise ist es möglich, die Schutzisolationen nacheinander aus den Ätzgräben zu lösen und die entsprechenden Schichtstrukturen in die Ätzgräben einzubringen.

Gemäß einer weiteren vorteilhaften Ausführungsform des Verfahrens werden Diffundierbereiche erzeugt, welche sich in die stehen gelassenen Siliziumblöcke hinein erstrecken, indem zuerst in der gewünschten Tiefe entsprechend n- oder p-dotiertes Material in die jeweiligen Ätzgräben abgeschieden wird und anschließend einem Temperschritt ein Eindiffundieren des n- oder p-dotierten Materials in die Siliziumblöcke erfolgt. Auf diese Weise kann ausgehend von einer hochdotierten Schicht ein entsprechend dotierter Diffundierbereich innerhalb des Siliziumblocks erzeugt werden, welcher beispielsweise als Source- bzw. Drain-Bereich eines Feldeffekttransistors dienen kann.

Nachfolgend wird die Erfindung anhand eines in der Zeichnung dargestellten Ausführungsbeispiels weiter beschrieben. Es zeigen:

- 5 Fig. 1 eine Darstellung der erfindungsgemäßen Siliziumstruktur, aus der die Anordnung der Ätzgräben um den stehen gelassenen Siliziumblock hervorgeht;
- Fig. 2 eine Darstellung der verschiedenen zur Erzeugung der erfindungsgemäßen Siliziumstruktur benötigten Fotomasken;
- 10 Fig. 3 eine Arrayanordnung von Ätzgräben und stehen gelassenen Siliziumblöcken;
- Fig. 4A einen Schaltplan einer SRAM-Speicherzelle;
- Fig. 4B einen modifizierten Schaltplan der in Fig. 4A gezeigten Schaltung, bei der die geometrische Anordnung der
- 15 Feldeffekttransistoren berücksichtigt ist;
- Fig. 5 eine perspektivische Darstellung einer entsprechend dem erfindungsgemäßen Prinzip strukturierten SRAM-Zelle;
- Fig. 6 einen ersten Verfahrensstand bei der Herstellung der in Fig. 5 gezeigten Siliziumstruktur;
- 20 Fig. 7 einen zweiten Verfahrensstand bei der Herstellung der in Fig. 5 gezeigten Siliziumstruktur;
- Fig. 8 einen dritten Verfahrensstand bei der Herstellung der in Fig. 5 gezeigten Siliziumstruktur;
- Fig. 9 einen vierten Verfahrensstand bei der Herstellung
- 25 der in Fig. 5 gezeigten Siliziumstruktur;
- Fig. 10 einen fünften Verfahrensstand bei der Herstellung der in Fig. 5 gezeigten Siliziumstruktur;
- Fig. 11 einen sechsten Verfahrensstand bei der Herstellung der in Fig. 5 gezeigten Siliziumstruktur;
- 30 Fig. 12 einen siebten Verfahrensstand bei der Herstellung der in Fig. 5 gezeigten Siliziumstruktur; und
- Fig. 13 einen achten Verfahrensstand bei der Herstellung der in Fig. 5 gezeigten Siliziumstruktur.
- 35 Anhand von Fig. 1 soll das Prinzip der erfindungsgemäßen Schaltungsstruktur dargestellt werden. Um einen Siliziumblock 1, welcher beim Ätzen stehen gelassen wurde, sind Ätzgräben

2, 3, 4, 5 angeordnet. Diese Ätzgräben dienen zur Aufnahme von Halbleiter-Schichtstrukturen, wobei in den verschiedenen Ätzgräben 2, 3, 4, 5 unterschiedliche Schichtstrukturen untergebracht werden können. Die an den verschiedenen Seiten des stehen gelassenen Siliziumblocks 1 angeordneten Schichtstrukturen können über Eck miteinander wechselwirken, wobei sich die Funktionalität der gesamten Schaltungsanordnung aus dem Zusammenwirken der in den Ätzgräben 2, 3, 4, 5 untergebrachten Schichtstrukturen ergibt.

10

Zur Herstellung der Ätzgräben wird auf eine Ätzmaske eine Fotolackschicht aufgebracht, mittels eines Lithographieverfahrens belichtet und anschließend geätzt. Dabei werden aus dem Fotolack Flächen herausgeätzt, die im Wesentlichen der Querschnittsfläche von einem der Ätzgräben entsprechen. Daraufhin wird das Siliziumsubstrat bis zu einer vorgegebenen Tiefe geätzt, um auf diese Weise einen der Ätzgräben 2, 3, 4, 5 zu erzeugen. Nach dem Ätzen eines bestimmten Ätzgrabens, beispielsweise des Ätzgrabens 3, wird dieser Ätzgraben mit einer Schutzisolation gefüllt. Auf diese Weise können bereits erzeugte Ätzgräben nicht mehr von darauf folgenden Ätzschritten verändert werden. Auf diese Weise können nacheinander die verschiedenen Ätzgräben 2, 3, 4, 5 mittels hierfür vorgesehener Fotomasken strukturiert und anschließend versiegelt werden. Erst nachdem sämtliche Ätzprozesse abgeschlossen sind, kann dann selektiv das Schutzisolationsmaterial in einem bestimmten Ätzgraben entfernt werden, um anschließend die Halbleiter-Schichtstruktur für diesen Ätzgraben zu erzeugen.

15

20

25

30 Für die Halbleiterstrukturen, die in den Ätzgräben untergebracht werden, dient der stehen gelassene Siliziumblock 1 als Siliziumsubstrat. Man kann sich die erfindungsgemäße Schaltungsstruktur daher so veranschaulichen, dass eine planare Halbleiterstruktur in die Vertikale verkippt wird. Damit sowohl Feldeffekttransistoren vom n-Typ als auch vom p-Typ von dem jeweiligen Ätzgraben aus in den Siliziumblock 1 hineinstrukturiert werden können, weist der Siliziumblock 1 einen

35

oberen, p-dotierten Bereich 6 sowie einen unteren, n-dotierten Bereich 7 auf, welche voneinander durch einen intrinsischen Übergangsbereich 8 getrennt sind. Diese unterschiedlich dotierten Bereiche können mittels Ionenimplantation erzeugt werden. Dazu werden von der Oberfläche des Siliziumsubstrats aus ionisierte Dotieratome in das Siliziumsubstrat eingeschossen. Zur Erzeugung eines n-dotierten Bereichs werden typischerweise 5-wertige Dotieratome wie z. B. Arsen eingesetzt, während ein p-dotierter Bereich mit Hilfe von 3-wertigen Dotieratomen wie z. B. Bor erzeugt werden kann. Die Tiefe, in dem sich der jeweilige Dotierbereich befinden soll, wird dabei durch die Energie der eingeschossenen Ionen festgelegt. In dem oberen, p-dotierten Bereich 6 werden später die FETs vom n-Typ untergebracht, während der untere, n-dotierte Bereich 7 zur Aufnahme von p-FETs vorgesehen ist.

In Fig. 1 ist darüber hinaus ein Isolationsbereich 9 eingezeichnet. Dieser Isolationsbereich dient zur elektrischen Trennung von in den Ätzgräben 2 und 5 angeordneten Leiterbahnen. Der Isolationsbereich 9 kann erzeugt werden, indem auf das im Ätzgraben 2 befindliche Schutzisolationsmaterial vom Ätzgraben 5 aus Isolationsmaterial aufgewachsen wird.

In Fig. 2 sind die verschiedenen zur Erzeugung der erfindungsgemäßen Schaltungsstruktur benötigten Fotomasken dargestellt. Mit Hilfe einer Fotomaske 10 lassen sich die Ätzgräben zur Aufnahme der vorderen Schichtstruktur ("front bridge") aus einem Siliziumsubstrat 11 herausätzen. Entsprechend können mit Hilfe einer Fotomaske 12 Ätzgräben zur Aufnahme der horizontalen Verbindungen ("horizontal wiring") aus dem Substrat herausgeätzt werden. Kreise 13 umgrenzen den Bereich der beim Ätzen stehen gelassenen Siliziumblöcke. Jeweils an der rückwärtigen Seite der Siliziumblöcke ist ein weiterer Ätzgraben angeordnet, der zur Aufnahme der hinteren Schichtstruktur ("back bridge") dient. Eine Fotomaske 14 dient zur Erzeugung dieser rückwärtigen Ätzgräben.

Anhand von Fig. 2 ist erkennbar, dass die jeweils an der linken Seite der stehen gelassenen Siliziumblöcke angeordneten Ätzgräben zu verlängerten Ätzgräben verbunden sind, die sich entlang von mehreren Siliziumblöcken erstrecken. Diese verlängerten Ätzgräben werden mit Hilfe einer Fotomaske 15 erzeugt. Innerhalb dieser verlängerten Ätzgräben werden später die Spannungsversorgungs- und Signalleitungen untergebracht, mit denen die in den übrigen Ätzgräben befindlichen Halbleiter-Schichtstrukturen mit Spannung versorgt werden. Darüber hinaus können Signale, die für sämtliche Schaltungsstrukturen des Arrays zur Verfügung stehen sollen, mit Hilfe dieser verlängerten Ätzgräben an die verschiedenen Schaltungsstrukturen verteilt werden.

In Fig. 3 ist die räumliche Anordnung der Ätzgräben nach dem Ätzvorgang schematisch dargestellt. Ätzgräben 16, 17, 18, 19 sind jeweils um stehen gelassene Siliziumblöcke 20 herum angeordnet. Die Ätzgräben 16 dienen zur Aufnahme der vorderen Schichtstruktur ("front bridge"), in den seitlich angeordneten Ätzgräben 17 sind die horizontalen Verbindungen untergebracht ("horizontal wiring"), und in den an der jeweils rückwärtigen Seite der Siliziumblöcke angeordneten Ätzgräben 18 ist jeweils die hintere Schichtstruktur ("back bridge") untergebracht. Die langen Ätzgräben 19 verlaufen entlang einer Seitenwand der Siliziumblöcke 20. In den Ätzgräben 19 verlaufen Spannungsversorgungsleitungen sowie Signalleitungen. Um die verschiedenen Halbleiterstrukturen des Arrays voneinander zu isolieren, sind Ätzbereiche 21, 22 vorgesehen, welche nach dem Ätzen vollständig mit Isoliermaterial gefüllt werden.

Das erfindungsgemäße Prinzip soll im Folgenden anhand eines Schaltungsbeispiels näher beschrieben werden. Es soll ein Array von SRAM-Speicherzellen hergestellt werden, wobei um jeden stehen gelassenen Siliziumblock jeweils eine SRAM-Speicherzelle angeordnet werden soll. Das erfindungsgemäße Prinzip, miteinander wechselwirkende Halbleiterstrukturen um einen stehen gelassenen Siliziumblock herum anzuordnen, kann

aber auch bei anderen Schaltungsanordnungen angewendet werden.

In Fig. 4A ist der Schaltplan einer SRAM-Speicherzelle gezeigt. Die SRAM-Speicherzelle umfasst ein Flipflop, das aus zwei p-FETs T2, T4 sowie aus zwei n-FETs T1, T3 aufgebaut ist. Darüber hinaus umfasst die SRAM-Speicherzelle einen Auswahltransistor T0, der bei der in Fig. 4A gezeigten Schaltung als n-FET realisiert ist. Über die Source-Drain-Strecke des Auswahltransistors T0 kann eine Signalleitung 23 des Flipflops mit einer zugehörigen Bitleitung 24 verbunden werden, so dass das Beschreiben und Auslesen des Flipflops über die Bitleitung 24 erfolgen kann. Hierzu kann die Source-Drain-Strecke des Auswahltransistors T0 in Abhängigkeit vom Potenzial einer Wortleitung 25 durchgeschaltet werden. Wenn auf der Wortleitung 25 (und damit auch am Gate des Auswahltransistors T0) das Potenzial "1" anliegt, dann leitet die Source-Drain-Strecke von T0, und die Speicherzelle kann ausgelesen oder neu beschrieben werden. Wenn dagegen das Potenzial "0" am Gate von T0 anliegt, dann sperrt der n-FET T0.

Das aus den Transistoren T1, T2, T3 und T4 bestehende Flipflop kann zwei stabile Schaltzustände annehmen. Insofern kann in diesem Flipflop ein Bit Information gespeichert werden. Es soll zunächst angenommen werden, dass auf der Signalleitung 23 das Potenzial "1" anliegt. An den Gates des n-FETs T1 und des p-FETs T2 liegt daher das Potenzial "1" an, und T1 leitet, während T2 sperrt. Eine Signalleitung 26 liegt daher über die Source-Drain-Strecke von T1 auf dem Potenzial "0", also auf dem zum Potenzial der Signalleitung 23 entgegengesetzten Potenzial. An den Gates der Feldeffekttransistoren T3, T4 liegt das Potenzial "0" an, und daher leitet der p-FET T4 leitet, während der n-FET T3 sperrt. Daher liegt die Signalleitung über die Source-Drain-Strecke von T4 auf dem Potenzial "1", was der eingangs gemachten Annahme entspricht. Der erste stabile Schaltzustand ist also dadurch gekennzeichnet

net, dass auf der Signalleitung 23 das Potenzial "1" und auf der Signalleitung 26 das Potenzial "0" anliegt.

Bei dem zweiten möglichen Schaltzustand ist es genau umgekehrt: Hier liegt die Signalleitung 23 auf dem Potenzial "0", T1 sperrt, T2 leitet, an der Signalleitung 26 liegt der Wert "1" an, T3 leitet und T4 sperrt.

Zum Auslesen der SRAM-Speicherzelle wird die Signalleitung 23 über T0 und die Bitleitung 24 mit einem Ausleseverstärker verbunden. Dieser Ausleseverstärker verstärkt typischerweise die Differenz zwischen dem auf der Signalleitung 23 anliegenden Potenzial und einem Referenzpotenzial, z. B. $V_{CC}/2$. Beim Beschreiben des Flipflops über T0 muss der über die Source-Drain-Strecke von T0 fließende Strom groß genug sein, um das gesamte Flipflop umpolen zu können. Die Stromergiebigkeit des Feldeffekttransistors T0 muss dementsprechend groß gewählt werden.

In Fig. 4B ist der in Fig. 4A gezeigte Schaltplan noch einmal in einer veränderten Anordnung gezeichnet. Im Unterschied zu Fig. 4A ist hier die vertikale Anordnung der Feldeffekttransistoren T1 und T2 vertauscht. Ebenso ist die vertikale Anordnung der Feldeffekttransistoren T3 und T4 vertauscht. Die in Fig. 4B gezeigte Anordnung der Transistoren T0 bis T4 entspricht der Anordnung dieser Feldeffekttransistoren in der im Folgenden beschriebenen Halbleiter-Schichtstruktur.

Die fertige Struktur ist in Fig. 5 dargestellt. Um einen Siliziumblock 27 herum sind ein verlängerter Ätzgraben 28, ein vorderer Ätzgraben 29, ein seitlicher Ätzgraben 30 sowie ein rückwärtiger Ätzgraben 31 angeordnet. Im vorderen Ätzgraben 29 ist die vordere Schichtstruktur untergebracht, welche die Feldeffekttransistoren T2, T4, T3, T1 sowie den Auswahltransistor T0 umfasst. Die Spannungsversorgung der Schaltungsanordnung erfolgt über Spannungsversorgungsleitungen 32, 33, 34, 35, welche in dem verlängerten Ätzgraben 28 untergebracht

sind. Die Spannungsversorgungsleitungen 32 und 33 liefern das Potenzial V_{CC} (bzw. "1"). Die Drain-Elektroden der Transistoren T2, T4 sind über die Spannungsversorgungsleitungen 32, 33 mit dem Potenzial V_{CC} verbunden. Die darüber angeordneten Spannungsversorgungsleitungen 34, 35 befinden sich auf dem Potenzial GND (bzw. "0") und sind mit den Source-Elektroden der Transistoren T3, T1 verbunden.

In dem verlängerten Ätzgraben 28 ist darüber hinaus eine Wortleitung 36 untergebracht, die zugleich als Gate-Elektrode des Auswahltransistors T0 dient. Über die Source-Drain-Strecke von T0 kann das Flipflop mit einer an der Oberfläche des Siliziumblocks 27 verlaufenden Bitleitung 37 verbunden werden. Ein Isolationsbereich 38 verhindert unerwünschte elektrische Verbindungen zwischen den Spannungsversorgungs- bzw. Signalleitungen 32 bis 36 einerseits und den im vorderen Ätzgraben 29 angeordneten Halbleiterstrukturen. In dem seitlichen Ätzgraben 30 sind horizontale Verbindungen 39, 40, 41, 42 untergebracht. In Analogie zu einem planaren Schichtaufbau könnte man die im Ätzgraben 30 untergebrachten horizontalen Verbindungen mit einer Via-Ebene identifizieren, welche Verbindungen zwischen der vorderen und der hinteren Schichtstruktur schafft. Im rückwärtigen Ätzgraben 31 befindet sich die hintere Schichtstruktur, welche im dargestellten Beispiel lediglich eine leitfähige Platte 43 umfasst.

Im Folgenden soll anhand der Figuren 6 bis 14 gezeigt werden, auf welche Weise die in Fig. 5 gezeigte SRAM-Speicherzelle hergestellt werden kann. Hierzu soll zunächst die im Ätzgraben 29 untergebrachte vordere Schichtstruktur hergestellt werden. Dabei wird von dem Siliziumblock 27 ausgegangen, der einen mittels Ionenimplantation erzeugten unteren, n-dotierten Bereich 44, einen intrinsischen Übergangsbereich 45 sowie einen ebenfalls mittels Ionenimplantation hergestellten oberen p-dotierten Bereich 46 aufweist. Die p-FETs T2 und T4 werden innerhalb des unteren, n-dotierten Bereichs 44 des Siliziumblocks 27 untergebracht, während die n-FETs T3 und T1

innerhalb des oberen, p-dotierten Bereichs 46 angeordnet sind.

Als erstes wird die Drain-Elektrode des Feldeffekttransistors T2 hergestellt. Stark p-dotiertes Material wird in den Ätzgraben 29 abgeschieden und in einem sich anschließenden Recess-Schritt bis zu einer Tiefe a zurückgeätzt. In einem sich anschließenden Tempersschritt wird die gesamte Siliziumstruktur stark erhitzt, so dass das Dotiermaterial vom Ätzgraben 29 aus in den Siliziumblock 27 eindiffundiert. Auf diese Weise wird ein p-dotierter Diffundierbereich 47 erzeugt, der als Drain-Elektrode des Feldeffekttransistors T2 dient. Nachdem das p-dotierte Material in den Siliziumblock 27 eindiffundiert ist, wird es wieder aus dem Ätzgraben 29 entfernt. Der Ätzgraben 29 wird bis zur ersten Tiefe a mit Isoliermaterial 48 aufgefüllt. Dieser Verfahrensstand ist in Fig. 6 dargestellt.

Wie aus dem Schaltplan in Fig. 4B erkennbar ist, muss der Diffundierbereich 47 mit dem Potenzial V_{cc} verbunden werden. Aus Fig. 5 ist erkennbar, wie der stark p-dotierte Diffundierbereich 47 vom Ätzgraben 28 aus über Eck durch die Spannungsversorgungsleitung 32 ankontaktiert wird. Die Spannungsversorgungsleitung 32 liegt auf dem Potenzial V_{cc} .

25

Als Nächstes wird die Source-Elektrode des p-FETs T2 strukturiert. Hierzu wird zunächst vom Ätzgraben 29 aus eine Gateoxidschicht 49 auf den Siliziumblock 27 aufgewachsen. Dies geschieht üblicherweise mittels thermischer Oxidation. Zur Herstellung der Gate-Elektrode wird anschließend leitfähiges Material in den Ätzgraben 29 abgeschieden und mittels eines zweiten Recess-Prozesses bis zur Tiefe b zurückgeätzt, um so einen leitfähigen Gatebereich 50 zu erhalten. Durch die Tiefe b wird die Ausdehnung des Gatebereichs 50 und somit die Kanallänge des Transistors T2 festgelegt. Auch die Gateoxidschicht 49 wird bis zu der Tiefe b zurückgeätzt, wobei das Zurückätzen des leitfähigen Gatebereichs 50 und der Gateoxid-

schicht 49 in einem Schritt oder in zwei Schritten erfolgen kann. Dieser Verfahrensstand ist in Fig. 7 dargestellt.

5 Anhand von Fig. 5 kann erkannt werden, dass der Gatebereich 50 des Transistors T2 durch die Leiterbahn 39 kontaktiert wird, welche in dem seitlichen Ätzgraben 30 untergebracht ist.

10 Zur Strukturierung des Source-Anschlusses von T2 wird daraufhin stark p-dotiertes Material in den Ätzgraben 29 eingebracht und in einem weiteren Recess-Schritt bis zur Tiefe d zurückgeätzt. In einem sich anschließenden Temperschritt wird die gesamte Siliziumstruktur so hoch erhitzt, dass die Do-

15 tieratome von der im Ätzgraben 29 befindlichen p-dotierten Schicht aus in den Siliziumblock 27 eindringen. Auf diese Weise wird ein p-dotierter Diffundierbereich 51 erzeugt, welcher als Source-Elektrode des p-FETs T2 dient. Das hoch dotierte Material wird aus dem Ätzgraben 29 entfernt, und anschließend wird Isoliermaterial 52 in den Ätzgraben 29 abge-

20 schieden. In einem darauffolgenden Recess-Schritt wird das Isoliermaterial 52 bis zur Tiefe c zurückgeätzt. Die Tiefe c ist dabei so gewählt, dass das Isoliermaterial 52 den Diffundierbereich 51 nur teilweise überdeckt. Fig. 8 zeigt den so erreichten Verfahrensstand.

25 Zur Erzeugung der Source-Kontaktierung wird leitfähiges Material in den Ätzgraben 29 abgeschieden und anschließend in einem weiteren Recess-Schritt bis zur Tiefe b zurückgeätzt, um so einen leitfähigen Bereich 53 zu erhalten. Über den leitfähigen Bereich 53 kann der stark p-dotierte Diffundierbereich, also der Source-Bereich des p-FETs T2, ankontaktiert werden. Damit ist die Strukturierung von Source, Gate und Drain des p-FETs T2 abgeschlossen. In Abhängigkeit vom Gate-Potenzial kann zwischen Source und Drain, also zwischen den beiden p-

30 dotierten Diffundierbereichen 51 und 47, ein leitfähiger Kanal ausgebildet werden.

35

Als nächstes wird ein Dickoxid 54 auf den Siliziumblock 27 aufgewachsen. Der Erzeugung des Dickoxids 54 erfolgt vorzugsweise in einem thermischen Prozess. Daraufhin wird leitfähiges Material in den Ätzgraben 29 abgeschieden. Anschließend werden sowohl das leitfähige Material als auch das Dickoxid 54 bis zur Tiefe e zurückgeätzt, und auf diese Weise erhält man einen leitfähigen Bereich 55. Dieser Verfahrensstand ist in Fig. 9 dargestellt.

Als nächstes wird die Drain-Elektrode des Transistors T4 strukturiert. Da es sich bei T4 um einen Feldeffekttransistor vom p-Typ handelt, wird der Transistor T4 genau wie der Transistor T2 in den n-dotierten Bereich 44 des Siliziumblocks 27 hineinstrukturiert. Zur Herstellung der Drain-Elektrode von T4 wird zunächst stark p-dotiertes Material in den Ätzgraben 29 abgeschieden und bis zur Tiefe f zurückgeätzt. In dem darauffolgenden Temperschritt wird das p-dotierte Material in den Siliziumblock 27 hineindiffundiert. Auf diese Weise erhält man einen p-dotierten Diffundierbereich 56. Das stark p-dotierte Material kann nach dem Temperschritt aus dem Ätzgraben 29 entfernt werden. Anschließend wird ein Dickoxid 57 auf den Siliziumblock 27 aufgewachsen, und der Ätzgraben 29 wird mit leitfähigem Material gefüllt. Das Dickoxid 57 hat die Aufgabe, den Diffundierbereich 56 gegenüber dem leitfähigen Material zu isolieren. Sowohl das leitfähige Material als auch das Dickoxid 57 werden in einem sich anschließenden Recess-Schritt bis zur Tiefe f zurückgeätzt, und auf diese Weise wird ein leitfähiger Bereich 58 erhalten. Fig. 10 zeigt den so erhaltenen Verfahrensstand.

Aus Fig. 4B geht hervor, dass der Drain-Kontakt von T4 auf das Potenzial V_{CC} gelegt werden muss. Anhand von Fig. 5 lässt sich erkennen, wie der Diffundierbereich 56 von dem verlängerten Ätzgraben 28 aus von der Spannungsversorgungsleitung 33 ankontaktiert wird. Außerdem ist in Fig. 5 im vorderen Ätzgraben 29 eine Verbindungsbahn 59 erkennbar, welche die Source-Elektrode von T2, das Gate von T4, das Gate von T3 so-

wie die Drain-Elektrode von T1 miteinander verbindet. Die in Fig. 10 zu erkennenden leitfähigen Bereiche 53, 55, 58 sind Teilelemente der in Fig. 5 eingezeichneten Verbindungsbahn 59.

5

Anschließend wird das Gate des Transistors T4 strukturiert. Dazu wird eine Gateoxidschicht 60 auf den Siliziumblock 27 aufgewachsen; außerdem wird leitfähiges Material in den Ätzgraben 29 abgeschieden. In einem sich anschließenden Recess-Schritt werden sowohl das leitfähige Material als auch die Gateoxidschicht 60 bis zu der Tiefe g zurückgeätzt, um so einen leitfähigen Gatebereich 61 zu strukturieren. Dadurch wird die Kanallänge des Feldeffekttransistors T4 festgelegt. Fig. 11 zeigt den so erhaltenen Verfahrensstand.

15

Zur Erzeugung der Source-Elektrode des p-FETs T4 wird ein stark p-dotierter Diffundierbereich benötigt, welcher im n-dotierten Bereich 44 des Siliziumblocks 27 angeordnet sein muss. Für die Drain-Elektrode des n-FETs T3 wird dagegen ein stark n-dotierter Diffundierbereich benötigt, welcher aber bereits im p-dotierten Bereich 46 des Siliziumblocks 27 angeordnet sein muss. Zur Erzeugung dieser beiden Diffundierbereiche wird zunächst stark p-dotiertes Material in den Ätzgraben 29 abgeschieden und bis zu der Tiefe des intrinsischen Übergangsbereichs 45 zurückgeätzt. Anschließend wird stark n-dotiertes Material in den Ätzgraben 29 abgeschieden und bis zu der Tiefe h zurückgeätzt. Durch Tempern dieser Siliziumstruktur erhält man einen p-dotierten Diffundierbereich 62 (Source von T4) sowie einen n-dotierten Diffundierbereich 63 (Drain von T3). Sowohl das stark n-dotierte als auch das stark p-dotierte Material werden nach dem Tempern aus dem Ätzgraben 29 entfernt. Auf den Siliziumblock 27 wird ein Dickoxid 64 mittels thermischer Oxidation aufgewachsen; außerdem wird leitfähiges Material abgeschieden. Das leitfähige Material und das Dickoxid 64 werden dann bis zu einer Tiefe h zurückgeätzt, und auf diese Weise erhält man einen leitfähigen

35

gen Bereich 65. Dieser Verfahrensstand ist in Fig. 12 gezeigt.

Anhand von Fig. 4B kann erkannt werden, dass die Source-Elektrode des p-FETs T4 und die Drain-Elektrode des n-FETs T3 miteinander verbunden werden müssen. Aus Fig. 5 ist ersichtlich, dass diese Verbindung durch die Leiterbahn 40 hergestellt wird, welche sowohl den Diffundierbereich 62 als auch den Diffundierbereich 63 ankontaktiert. Über die zur hinteren Schichtstruktur gehörige leitfähige Platte 43 ist die Leiterbahn 40 mit der Leiterbahn 39 und somit mit dem Gate von T2 verbunden. Über die leitfähige Platte 43 ist die Leiterbahn 40 auch mit der Leiterbahn 41 und somit mit dem Gate von T1 verbunden. Darüber hinaus wird über die leitfähige Platte 43 und die Leiterbahn 42 eine Verbindung zur Source-Drain-Strecke des Auswahltransistors T0 hergestellt. All diese horizontalen Verbindungen sind in dem seitlichen Ätzgraben 30 untergebracht.

Die Herstellung der n-FETs T3 und T1 erfolgt analog zu der bereits beschriebenen Herstellung von T2 und T4. Im Unterschied zu den p-FETs T2 und T4 müssen die n-FETs T3 und T1 innerhalb des oberen, p-dotierten Bereichs 46 des Siliziumblocks 27 angeordnet sein. In Fig. 13 sind die verschiedenen zu den Transistoren T3 und T1 sowie zum Auswahltransistor T0 gehörigen Schichten gezeigt. Im Zusammenhang mit Fig. 12 war bereits diskutiert worden, auf welche Weise die Drain-Elektrode von T3, also der Diffundierbereich 63, hergestellt wird. Oberhalb der Drain-Elektrode ist das Gate von T3 angeordnet, die eine Gateoxidschicht 66 sowie einen leitfähigen Gatebereich 67 umfasst. Die Source-Elektrode von T3 besteht aus einem stark n-dotierten Diffundierbereich 68, welcher durch ein Dickoxid 69 von einem leitfähigen Bereich 70 isoliert wird. Ebenso wie der Gatebereich 61 und der leitfähige Bereich 65 sind auch der Gatebereich 67 und der leitfähige Bereich 70 Teilelemente der in Fig. 5 gezeigten Verbindungsbahn 59.

Die Source-Elektrode von T3, also der n-dotierte Diffundierbereich 68, muss mit dem Potenzial GND verbunden werden. Anhand von Fig. 5 kann erkannt werden, dass der Diffundierbereich 68 vom Ätzgraben 28 aus durch die Spannungsversorgungsleitung 34 ankontaktiert wird.

Im Bereich zwischen den beiden Transistoren T3 und T1 befindet sich ein Dickoxid 71, das einen leitfähigen Bereich 72 von dem Siliziumblock 27 isoliert. Über den leitfähigen Bereich 72 und einen leitfähigen Bereich 74 wird die Drain-Elektrode des Transistors T1 kontaktiert, welche als stark n-dotierter Diffundierbereich 73 ausgebildet ist. Oberhalb des leitfähigen Bereichs 74 ist eine Isolationsschicht 75 angeordnet. Eine Gateoxidschicht 76 sowie ein leitfähiger Gatebereich 77 bilden das Gate des Transistors T1. Der leitfähige Leiterbahn 41 mit der rückwärtigen leitfähigen Platte 43 in Verbindung. Die darüber angeordnete Source-Elektrode von T1, ein stark n-dotierter Diffundierbereich 78, ist über Eck mit der in Fig. 5 gezeigten Spannungsversorgungsleitung 35 verbunden, welche sich auf dem Potenzial GND befindet. Oberhalb der Source-Elektrode von T1 ist Isolationsmaterial 79 angeordnet, das gegenüber später durchgeführten weiteren Ätzprozessen eine gewisse Resistenz aufweist.

Am oberen Ende des Siliziumblocks 27 ist der Auswahltransistor T0 angeordnet, der ebenfalls ein Transistor vom n-Typ ist. Ein stark n-dotierter Diffundierbereich 80 dient als erste Source- bzw. Drain-Elektrode von T0. Die oberste Schicht des Siliziumblocks 27 ist als stark n-dotierter Implantationsbereich 82 ausgebildet und dient als zweite Source- bzw. Drain-Elektrode des Transistors T0. Der stark n-dotierte Implantationsbereich 82 wird von der Oberfläche des Siliziumblocks 27 aus durch Ionenimplantation (beispielsweise mit Arsen) erzeugt. Dieser Bereich dient einerseits als zweiter Source- bzw. Drain-Anschluss des Transistors T0 und andererseits zur

Ankontaktierung der unmittelbar an der Oberfläche des Siliziumblocks 27 verlaufenden Bitleitung 37, die in Fig. 5 eingezeichnet ist.

- 5 Anhand von Fig. 5 lässt sich auch erkennen, dass die im Ätzgraben 28 untergebrachte Wortleitung 36 auf der Höhe eines Zwischenbereichs 81 zwischen dem Diffundierbereich 80 und dem Implantationsbereich 82 angeordnet ist. Die Wortleitung 36 stellt das Gate des Auswahltransistors T0 dar. Wenn auf der
- 10 Wortleitung 36 ein positives Potenzial anliegt, dann bildet sich etwa auf der Höhe des Zwischenbereichs 81 ein leitfähiger Kanal aus, und die Source-Drain-Strecke des Auswahltransistors T0 wird leitend. Das aus den Transistoren T1, T3, T4 und T2 bestehende Flipflop ist dann über die Source-Drain-
- 15 Strecke von T0 mit der Bitleitung 37 verbunden und kann über die Bitleitung 37 ausgelesen bzw. beschrieben werden.

Patentansprüche

1. Schaltungsstruktur für ein Siliziumsubstrat, gekennzeichnet durch

- 5 - einen beim Ätzen der Struktur stehen gelassenen Siliziumblock (1, 27);
- mindestens zwei Ätzgräben (2-5, 28-31), welche jeweils einer Seitenwand des stehen gelassenen Siliziumblocks (1, 27) zugeordnet sind, und welche angrenzend an diese Seitenwand
10 des Siliziumblocks aus dem Siliziumsubstrat herausgeätzt sind, wobei die Ätzgräben (2-5, 28-31) in durch die Form des stehen gelassenen Siliziumblocks (1, 27) vorgegebenen Winkeln zueinander angeordnet sind;
- Halbleiter-Schichtstrukturen, welche jeweils in den Ätzgräben
15 (2-5, 28-31) angeordnet sind, wobei sich die Funktion der gesamten Schaltungsstruktur aus dem Zusammenwirken der in den verschiedenen Ätzgräben angeordneten Halbleiter-Schichtstrukturen ergibt.

- 20 2. Schaltungsstruktur nach Anspruch 1, dadurch gekennzeichnet, dass innerhalb der Ätzgräben leitfähige Strukturen angeordnet sind, welche vorzugsweise aus Polysilizium bestehen.

- 25 3. Schaltungsstruktur nach Anspruch 1 oder Anspruch 2, dadurch gekennzeichnet, dass innerhalb der Ätzgräben Feldeffekttransistoren ausgebildet sind, wobei ein Feldeffekttransistor einen ersten, sich in den Siliziumblock hinein erstreckenden Diffundierbereich als ersten Source- bzw. Drainbereich, einen leitfähigen Gatebereich sowie einen zweiten,
30 sich in den Siliziumblock erstreckenden Diffundierbereich als zweiten Source- bzw. Drainbereich umfasst, wobei in Abhängigkeit vom Potential des Gatebereichs ein leitfähiger Kanal zwischen dem ersten und dem zweiten Source- bzw. Drainbereich ausbildbar ist.

35

4. Schaltungsstruktur nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass innerhalb des Silizium-

blocks Gebiete mit verschiedenen Dotierkonzentrationen und/oder verschiedenem Leitfähigkeitstyp angeordnet sind.

5. Schaltungsstruktur nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass leitfähige Strukturen innerhalb eines ersten Ätzgrabens und leitfähige Strukturen innerhalb eines benachbarten zweiten Ätzgrabens über dotierte Diffundierbereiche miteinander elektrisch verbunden sind, welche sich von dem ersten und dem zweiten Ätzgraben aus in den stehen gelassenen Siliziumblock hinein erstrecken und einen Überlappungsbereich aufweisen.

6. Schaltungsstruktur nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass jeweils in einem der Ätzgräben die Spannungsversorgungsleitungen und Signalleitungen für die Halbleiterstrukturen untergebracht sind.

7. Schaltungsstruktur nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass jeweils in einem der Ätzgräben die Spannungsversorgungsleitungen und Signalleitungen untergebracht sind, dass in einem weiteren Ätzgraben die Halbleiterstrukturen untergebracht sind, und dass in einem weiteren Ätzgraben die Verschaltungen der Halbleiterstrukturen untergebracht sind.

8. Schaltungsstruktur nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass es sich bei dem Siliziumblock um einen Siliziumquader handelt.

9. Schaltungsstruktur nach Anspruch 8, dadurch gekennzeichnet, dass um den Siliziumquader herum vier Ätzgräben angeordnet sind.

10. Schaltungsstruktur nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass es sich bei der Schaltungsstruktur um eine SRAM-Speicherzelle handelt.

11. Schaltungsstruktur nach Anspruch 10, dadurch gekennzeichnet, dass die SRAM-Speicherzelle mehrere zu einem Flipflop verschaltete Feldeffekttransistoren sowie einen Auswahltransistor umfasst.

5

12. Schaltungsstruktur nach Anspruch 10 oder Anspruch 11, dadurch gekennzeichnet, dass die zu einem Flipflop verschalteten Feldeffekttransistoren sowohl n-FETs als auch p-FETs umfassen, wobei die n-FETs im Bereich eines p-dotierten Gebiets des Siliziumblocks angeordnet sind, und wobei die p-FETs im Bereich eines n-dotierten Gebiets des Siliziumblocks angeordnet sind.

10

13. Schaltungsstruktur nach einem der Ansprüche 10 bis 12, dadurch gekennzeichnet, dass das Flipflop über die Source-Drain-Strecke des Auswahltransistors mit einer an der Oberfläche des Siliziumsubstrats angeordneten Bitleitung verbunden werden kann.

15

14. Schaltungsstruktur nach einem der Ansprüche 10 bis 13, dadurch gekennzeichnet, dass der Auswahltransistor mittels einer in einem der Ätzgräben angeordneten Wortleitung aktiviert werden kann.

20

15. Schaltungsstruktur nach Anspruch 13 oder Anspruch 14, dadurch gekennzeichnet, dass die Wortleitung als Gatebereich des Auswahltransistors dient, wobei zwischen der Wortleitung und dem Siliziumblock eine Gateoxidschicht angeordnet ist.

25

16. Schaltungsstruktur nach einem der Ansprüche 10 bis 15, dadurch gekennzeichnet, dass der obere Bereich des Siliziumblocks als dotiertes Gebiet ausgebildet ist, mit dem die an der Oberfläche des Siliziumsubstrats angeordnete Bitleitung ankontaktiert wird.

30

17. Schaltungsstruktur nach einem der Ansprüche 10 bis 16, dadurch gekennzeichnet, dass der obere Bereich des Silizium-

35

blocks als dotiertes Gebiet ausgebildet ist, welches als Source- bzw. Drainelektrode des Auswahltransistors dient.

18. Arrayanordnung, welche eine Vielzahl von auf einem Siliziumsubstrat angeordneten Schaltungsstrukturen nach einem der Ansprüche 1 bis 17 umfasst.

10 19. Arrayanordnung nach Anspruch 18, dadurch gekennzeichnet, dass die jeweils angrenzend an eine bestimmte Seitenwand der Siliziumblöcke angeordneten Ätzgräben zu durchgehenden, sich über mehrere Siliziumblöcke hinweg erstreckenden Ätzgräben verlängert sind, wobei in diesen durchgehenden Ätzgräben Spannungsversorgungsleitungen und Signalleitungen untergebracht sind.

15

20. Verfahren zur Herstellung einer Arrayanordnung mit einer Vielzahl von auf einem Siliziumsubstrat angeordneten Schaltungsstrukturen, gekennzeichnet durch folgende Schritte:

- 20 a) Ätzen von ersten Ätzgräben (16) jeweils angrenzend an erste Seitenwände von Siliziumblöcken (20), wobei die Siliziumblöcke (20) nicht geätzt werden und stehen bleiben;
- b) Auffüllen der ersten Ätzgräben (16-19) mit einer ersten Schutzisolation;
- 25 c) Ätzen von weiteren Ätzgräben (17-19) jeweils angrenzend an weitere Seitenwände der Siliziumblöcke (20);
- d) Auffüllen der weiteren Ätzgräben (17-19) mit einer zweiten Schutzisolation;
- e) Wiederholen der Schritte c) und d), bis alle benötigten Ätzgräben (16-19) erzeugt sind.

30

21. Verfahren nach Anspruch 20, gekennzeichnet durch folgende weiteren Schritte:

- selektives Herausätzen der jeweiligen Schutzisolation;
 - Erzeugen der jeweiligen Halbleiter-Schichtstruktur in den
- 35 jeweiligen Ätzgräben.

22. Verfahren nach Anspruch 20 oder Anspruch 21, dadurch gekennzeichnet, dass Diffundierbereiche erzeugt werden, welche sich in die stehen gelassenen Siliziumblöcke hinein erstrecken, indem

- 5 - zuerst in der gewünschten Tiefe entsprechend n- oder p-dotiertes Material in die jeweiligen Ätzgräben abgeschieden wird;
- anschließend in einem Temperschritt ein Eindiffundieren des n- oder p-dotierten Materials in die Siliziumblöcke erfolgt.

23. Verfahren nach einem der Ansprüche 20 bis 22, dadurch gekennzeichnet, dass innerhalb der stehen gelassenen Siliziumblöcke von der Oberfläche des Siliziumblocks aus durch Im-
15 plantation Gebiete mit verschiedenen Dotierkonzentrationen und/oder verschiedenem Leitfähigkeitstyp erzeugt werden.

24. Verfahren nach einem der Ansprüche 20 bis 23, dadurch gekennzeichnet, dass innerhalb der Ätzgräben leitfähige Struk-
20 turen abgeschieden werden, welche vorzugsweise aus Polysilizium bestehen.

25. Verfahren nach einem der Ansprüche 20 bis 24, dadurch gekennzeichnet, dass innerhalb der Ätzgräben Feldeffekttransistoren ausgebildet werden, indem zunächst ein erster, sich in den jeweiligen Siliziumblock hinein erstreckender Diffundierbereich als erster Source- bzw. Drainbereich erzeugt wird, indem dann ein darüber angeordneter leitfähiger Gatebereich erzeugt wird, und indem anschließend ein zweiter, sich in den
30 jeweiligen Siliziumblock hinein erstreckender Diffundierbereich als zweiter Source- bzw. Drainbereich erzeugt wird.

26. Verfahren nach einem der Ansprüche 20 bis 25, dadurch gekennzeichnet, dass leitfähige Strukturen innerhalb eines ers-
35 ten Ätzgrabens und leitfähige Strukturen innerhalb eines benachbarten zweiten Ätzgrabens über dotierte Diffundierbereiche miteinander elektrisch verbunden werden, wobei die Dif-

fundierbereiche von dem ersten und dem zweiten Ätzgraben aus so in den stehen gelassenen Siliziumblock eindiffundiert werden, dass sie sich innerhalb des Siliziumblocks überlappen.

5 27. Verfahren nach einem der Ansprüche 20 bis 26, dadurch gekennzeichnet, dass es sich bei der Schaltungsstruktur um eine SRAM-Speicherzelle handelt.

10 28. Verfahren nach Anspruch 27, dadurch gekennzeichnet, dass die SRAM-Speicherzelle mehrere zu einem Flipflop verschaltete Feldeffekttransistoren sowie einen Auswahltransistor umfasst.

Zusammenfassung

Halbleiter-Schaltungsstruktur sowie Verfahren zur Herstellung einer Halbleiter-Schaltungsstruktur

5

Bei der erfindungsgemäßen Schaltungsstruktur sind mindestens zwei Ätzgräben an den Seitenwänden eines beim Ätzen der Struktur stehen gelassenen Siliziumblocks angeordnet. Die Ätzgräben sind dabei in Winkeln zueinander angeordnet, welche durch die Form des stehen gelassenen Siliziumblocks vorgegeben sind. In den Ätzgräben sind jeweils Halbleiter-Schichtstrukturen untergebracht, welche über Eck miteinander wechselwirken können. Die Funktion der gesamten Schaltungsstruktur ergibt sich dabei aus dem Zusammenwirken der in den verschiedenen Ätzgräben angeordneten Schichtstrukturen.

10

15

Figur 5

10



Fig. 5

Bezugszeichenliste

1	Siliziumblock
2,3,	
4,5	Ätzgräben
6	oberer, p-dotierter Bereich
7	unterer, n-dotierter Bereich
8	intrinsischer Übergangsbereich
9	Isolationsbereich
10	Fotomaske
11	Siliziumsubstrat
12	Fotomaske
13	Kreise
14	Fotomaske
15	Fotomaske
16,17	
18,19	Ätzgräben
20	Siliziumblöcke
21,22	Ätzbereiche
23	Signalleitung
24	Bitleitung
25	Wortleitung
26	Signalleitung
27	Siliziumblock
28	verlängerter Ätzgraben
29	vorderer Ätzgraben
30	seitlicher Ätzgraben
31	rückwärtiger Ätzgraben
32,33	Spannungsversorgungsleitungen (V_{CC})
34,35	Spannungsversorgungsleitungen (GND)
36	Wortleitung
37	Bitleitung
38	Isolationsbereich
39,40,	
41,42	horizontale Verbindungen
43	leitfähige Platte
44	unterer, n-dotierter Bereich

45	intrinsischer Übergangsbereich
46	oberer, p-dotierter Bereich
47	p-dotierter Diffundierbereich
48	Isoliermaterial
49	Gateoxidschicht
50	leitfähiger Gatebereich
51	p-dotierter Diffundierbereich
52	Isoliermaterial
53	leitfähiger Bereich
54	Dickoxid
55	leitfähiger Bereich
56	p-dotierter Diffundierbereich
57	Dickoxid
58	leitfähiger Bereich
59	Verbindungsbahn
60	Gateoxidschicht
61	leitfähiger Gatebereich
62	p-dotierter Diffundierbereich
63	n-dotierter Diffundierbereich
64	Dickoxid
65	leitfähiger Bereich
66	Gateoxidschicht
67	leitfähiger Gatebereich
68	n-dotierter Diffundierbereich
69	Dickoxid
70	leitfähiger Bereich
71	Dickoxid
72	leitfähiger Bereich
73	n-dotierter Diffundierbereich
74	leitfähiger Bereich
75	Isolationsschicht
76	Gateoxidschicht
77	leitfähiger Gatebereich
78	n-dotierter Diffundierbereich
79	Isolationsmaterial
80	n-dotierter Diffundierbereich
81	Zwischenbereich

82 n-dotierter Implantationsbereich

T0 Auswahltransistor

T1,T3 p-FETs

T2,T4 n-FETs

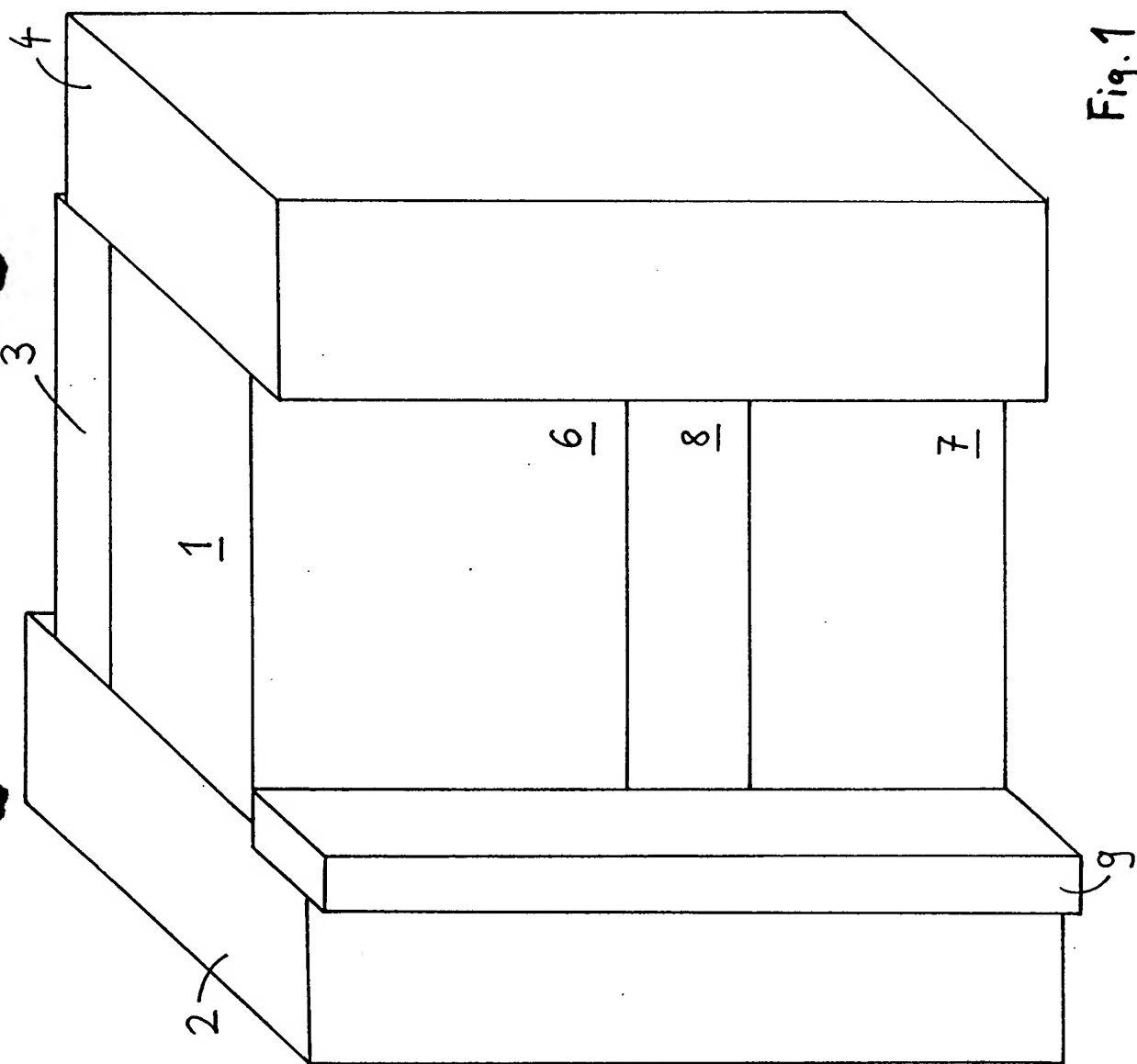


Fig. 1

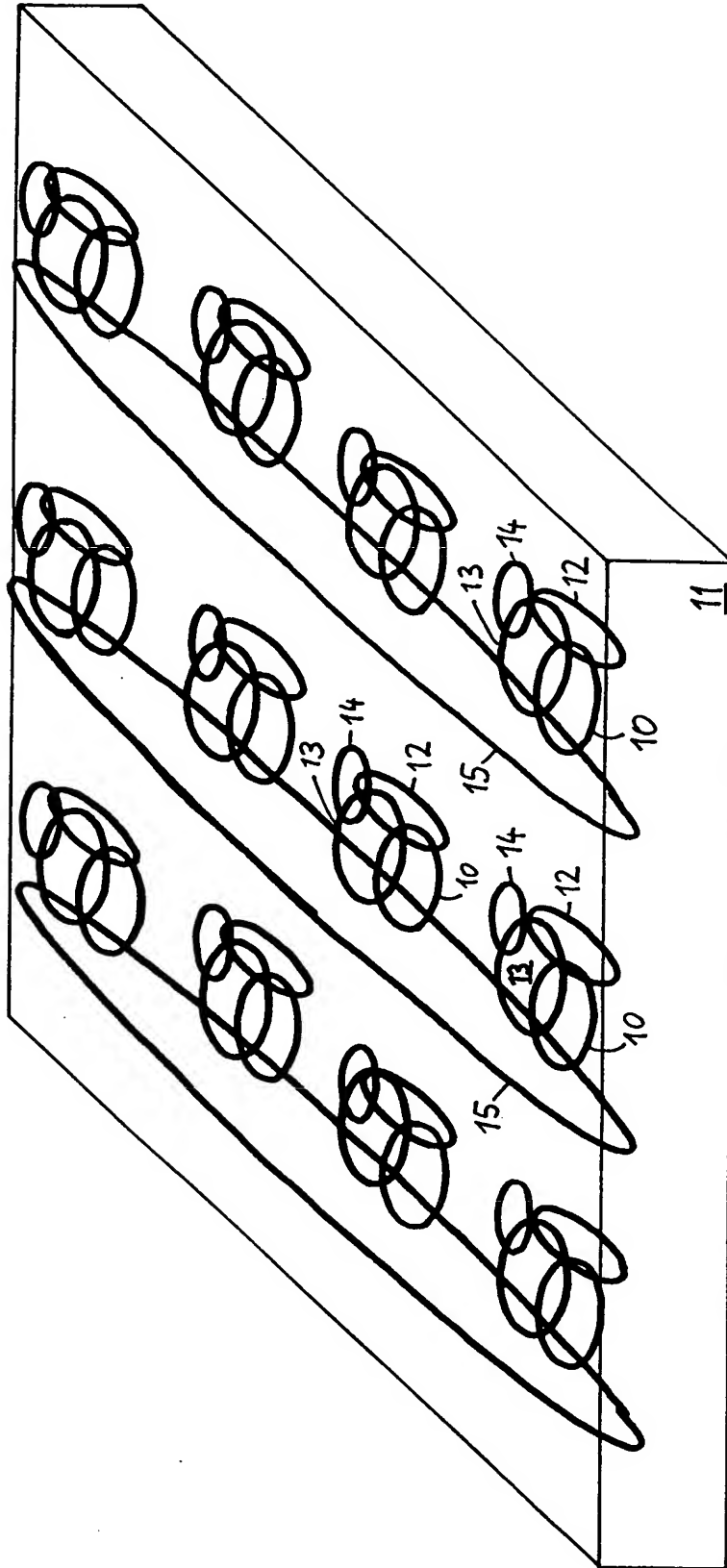


Fig. 2

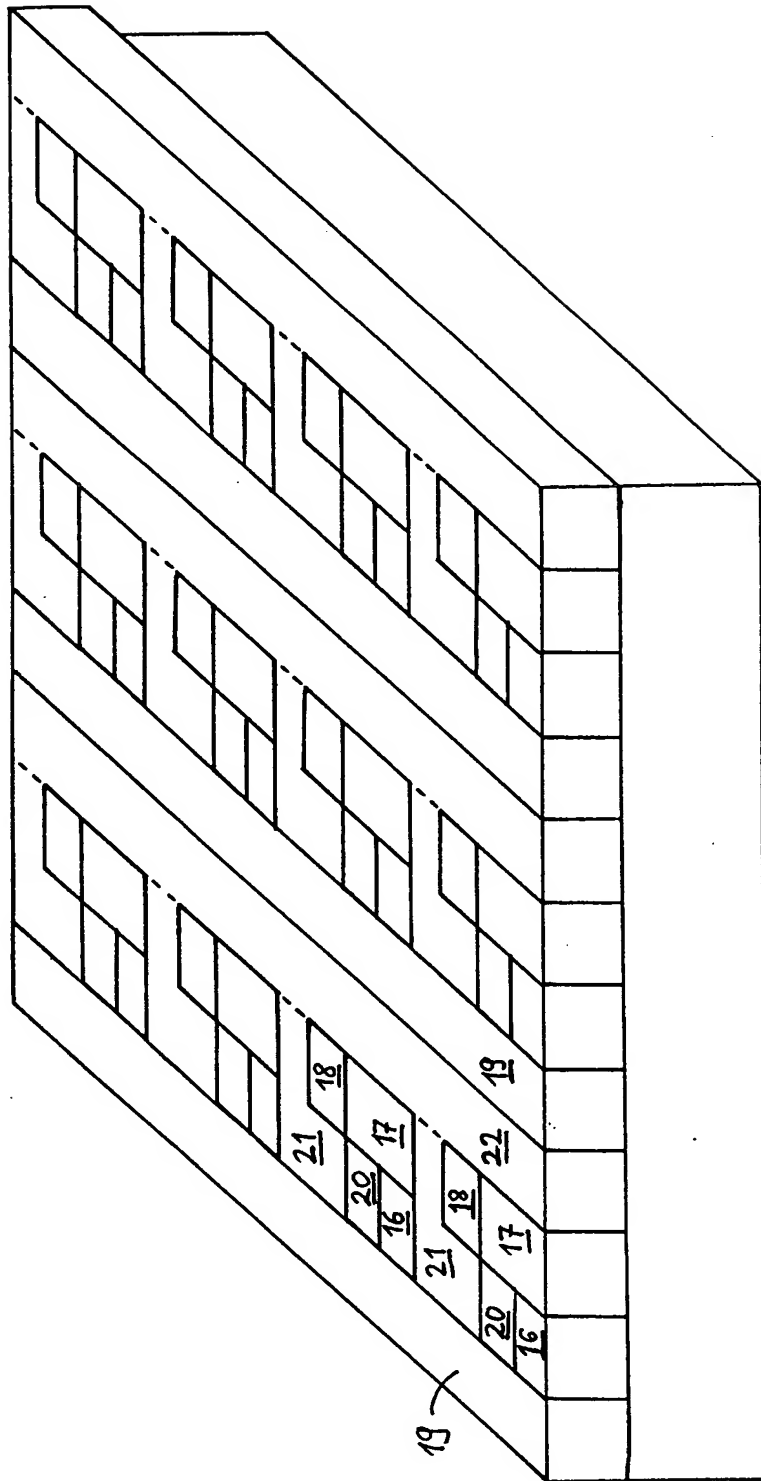


Fig. 3

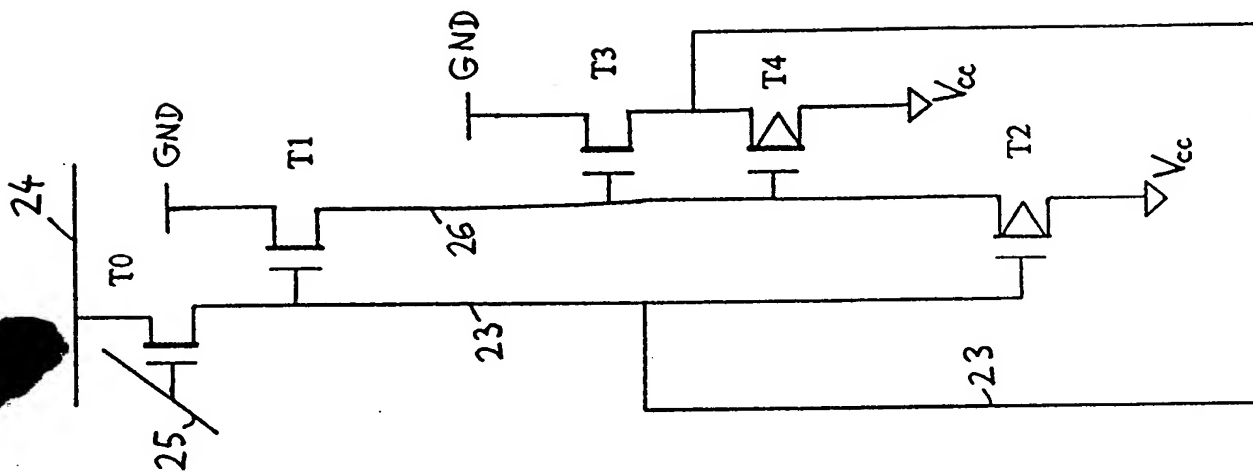


Fig. 4B

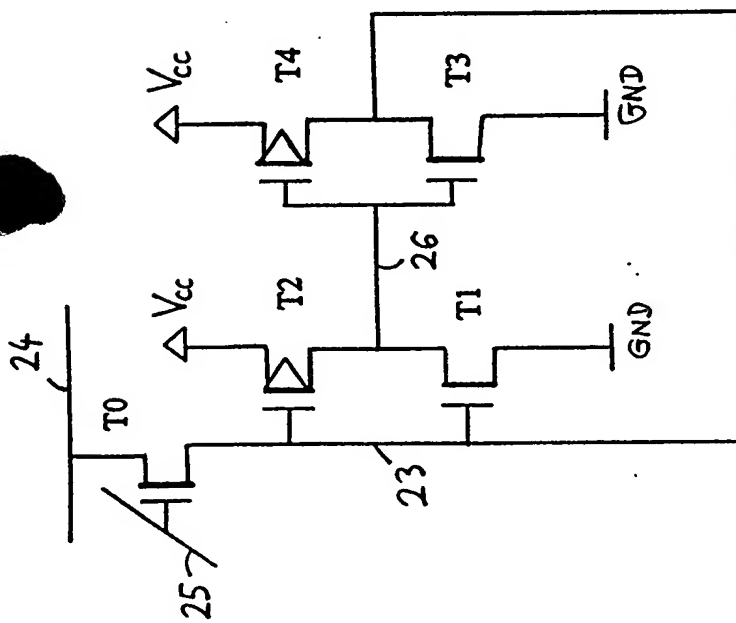


Fig. 4A

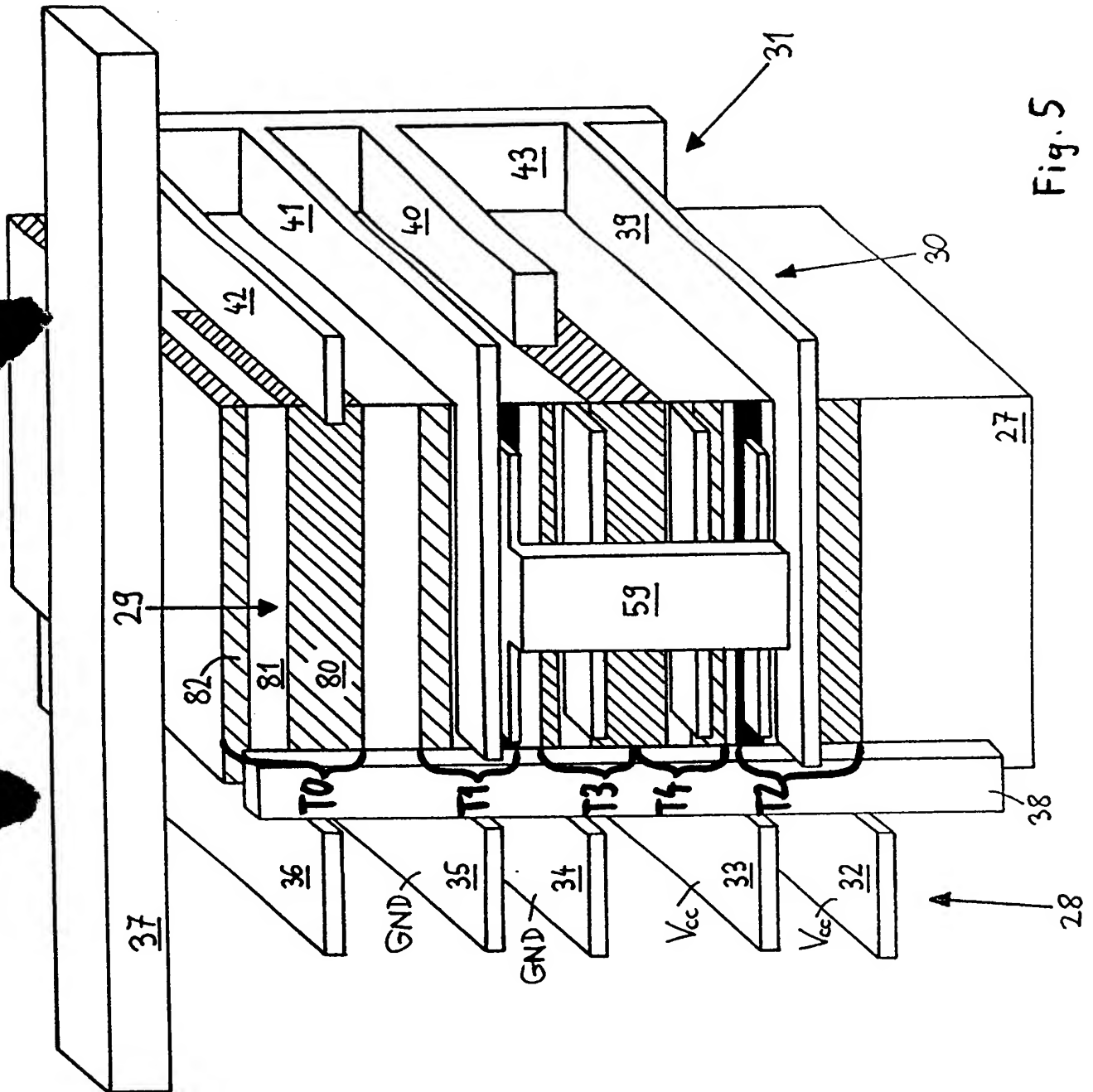


Fig. 5

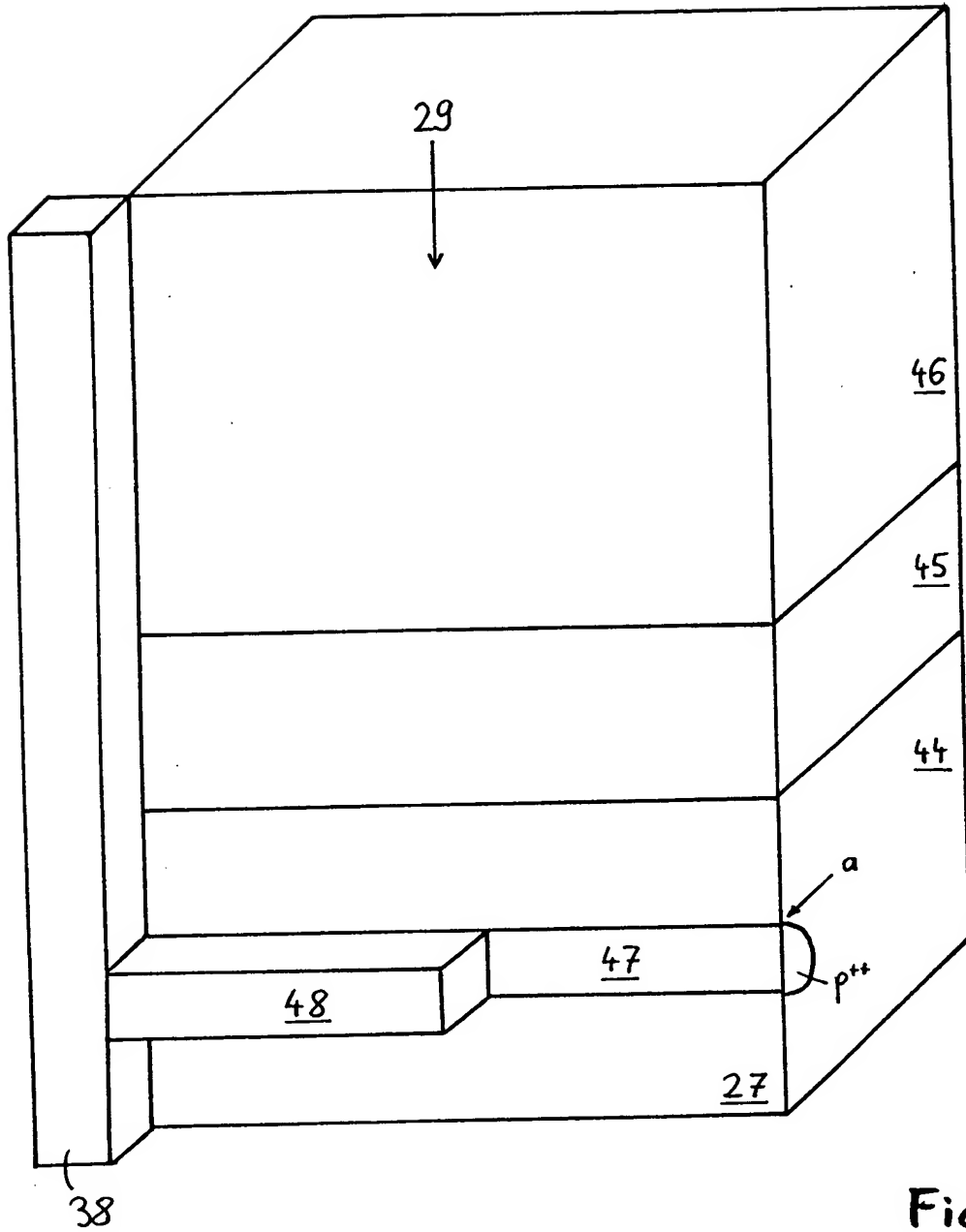


Fig. 6

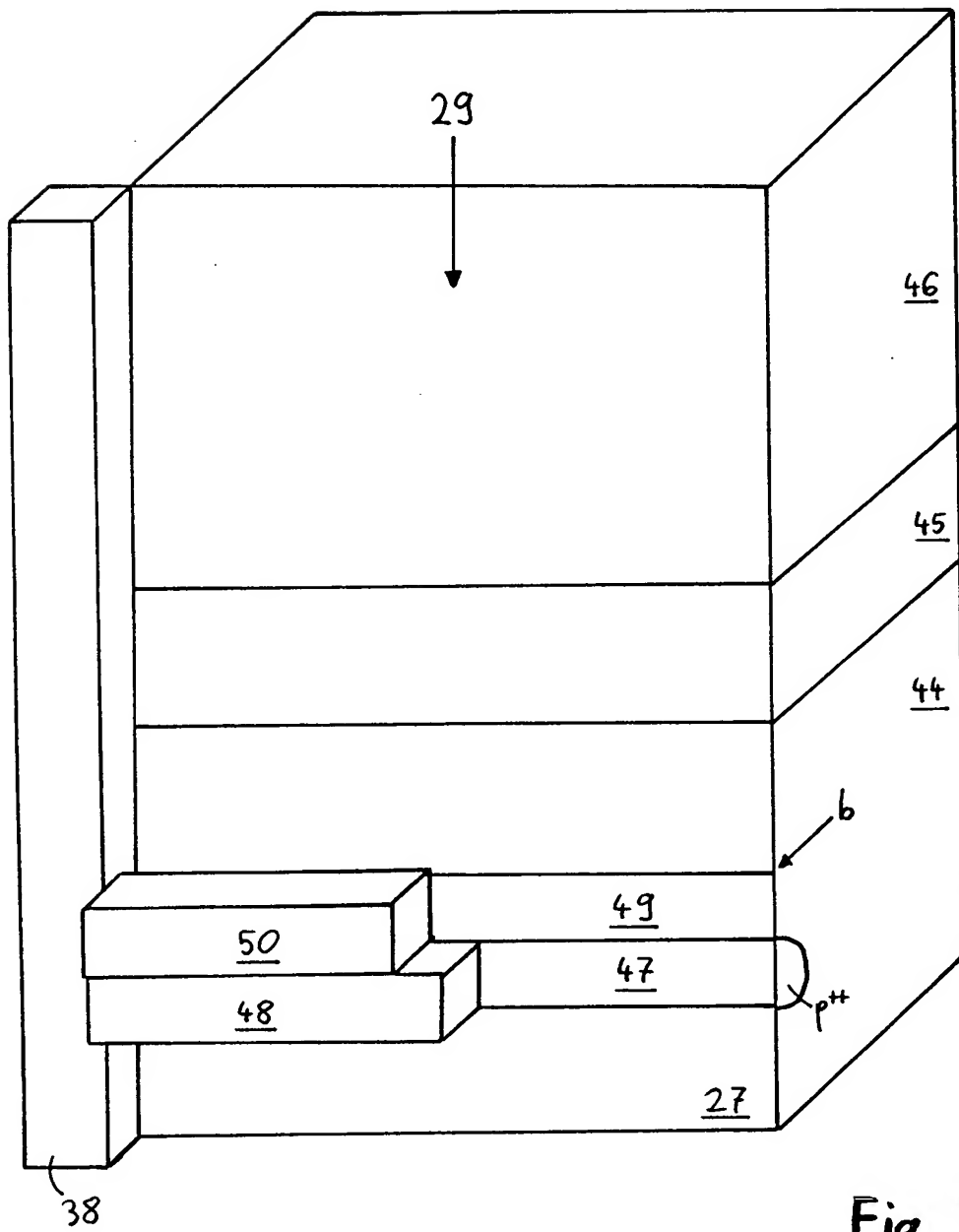


Fig. 7

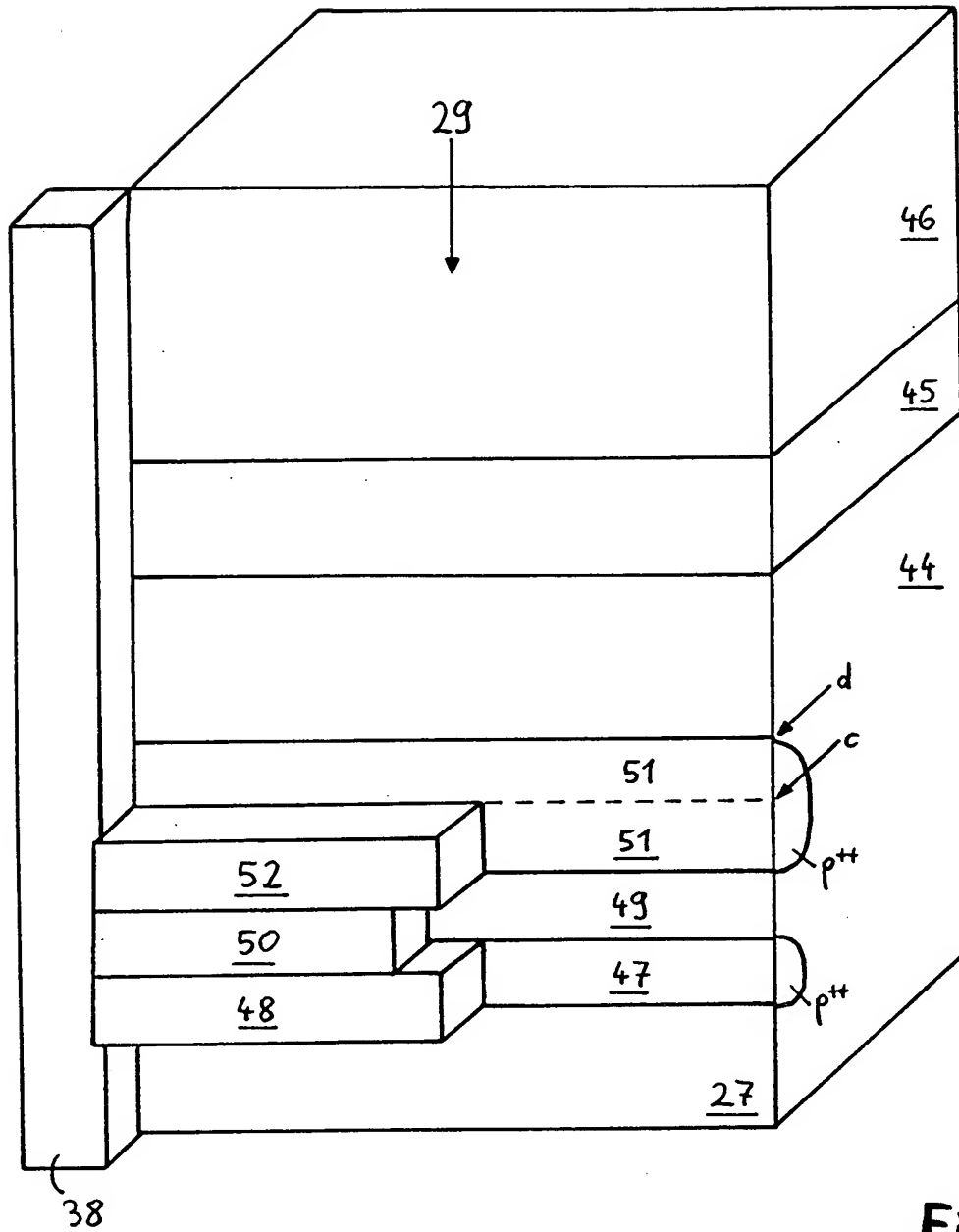


Fig. 8

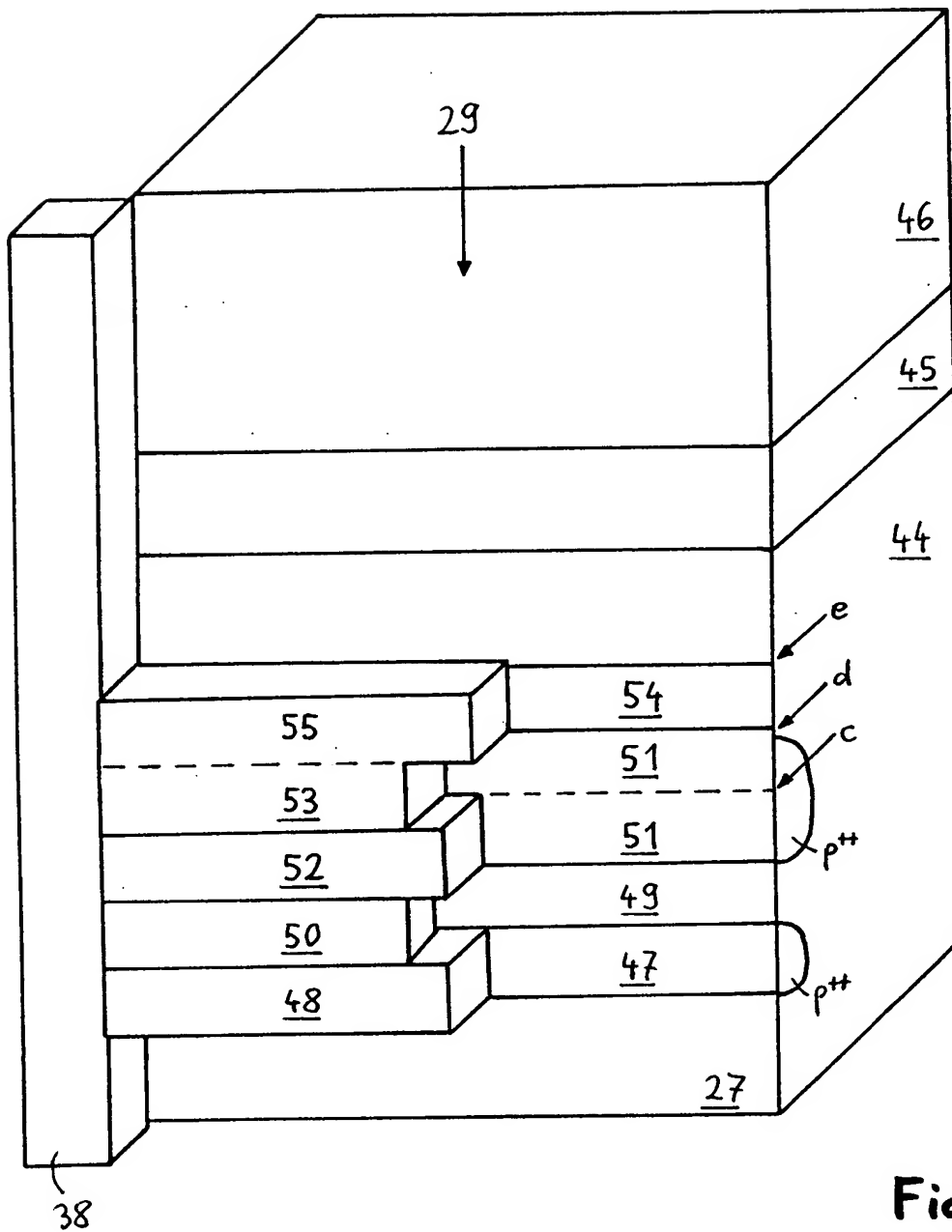


Fig. 9

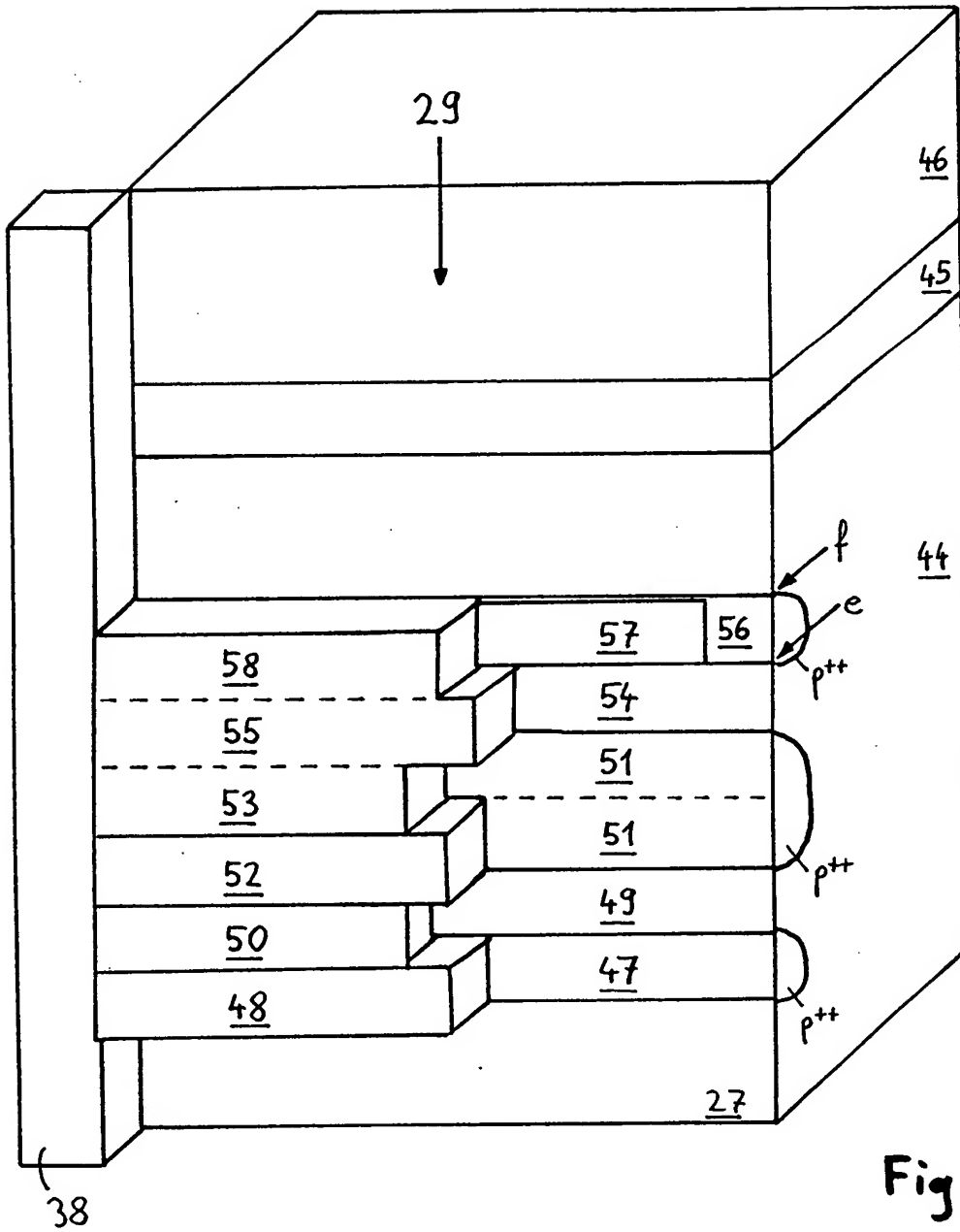


Fig. 10

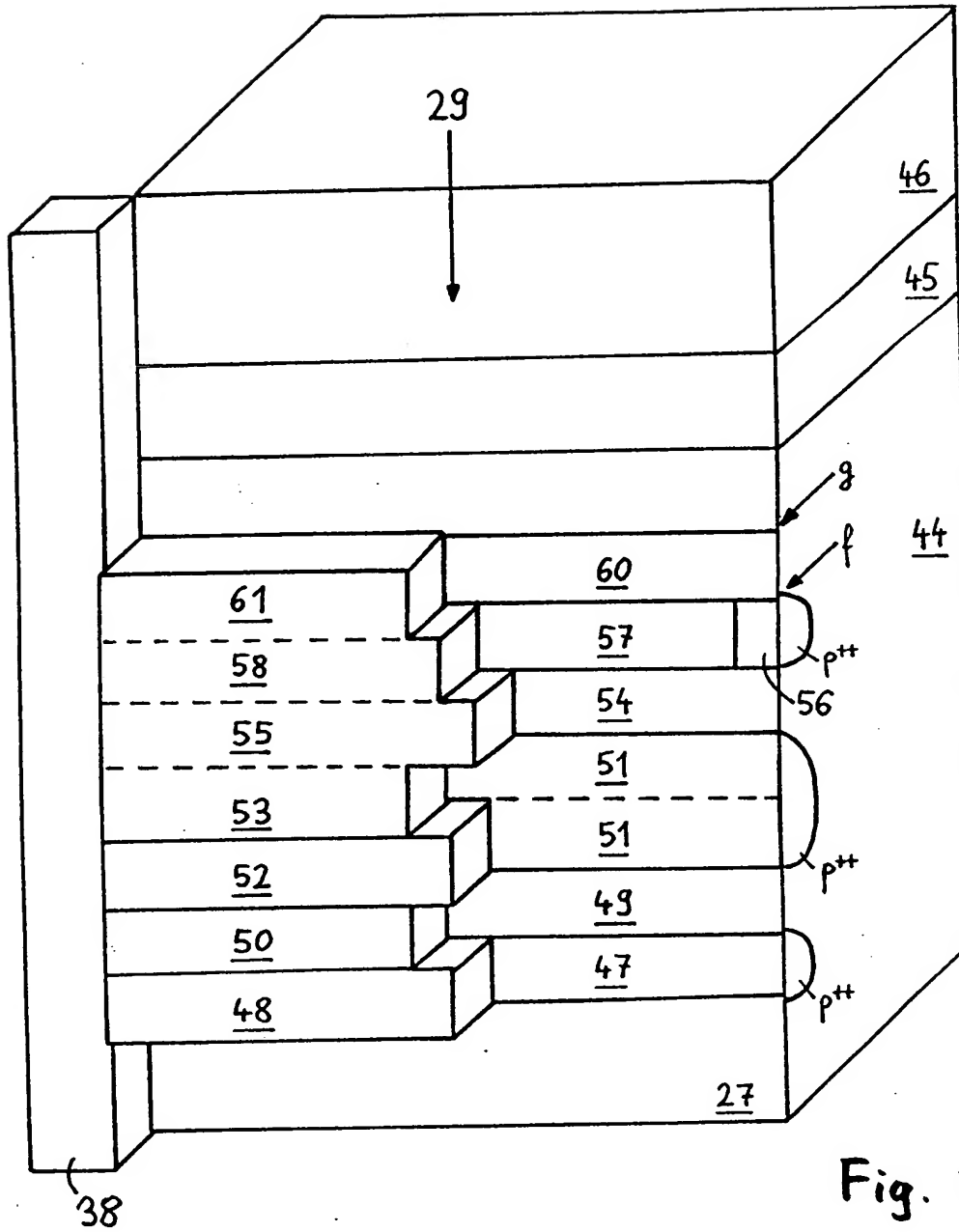


Fig. 11

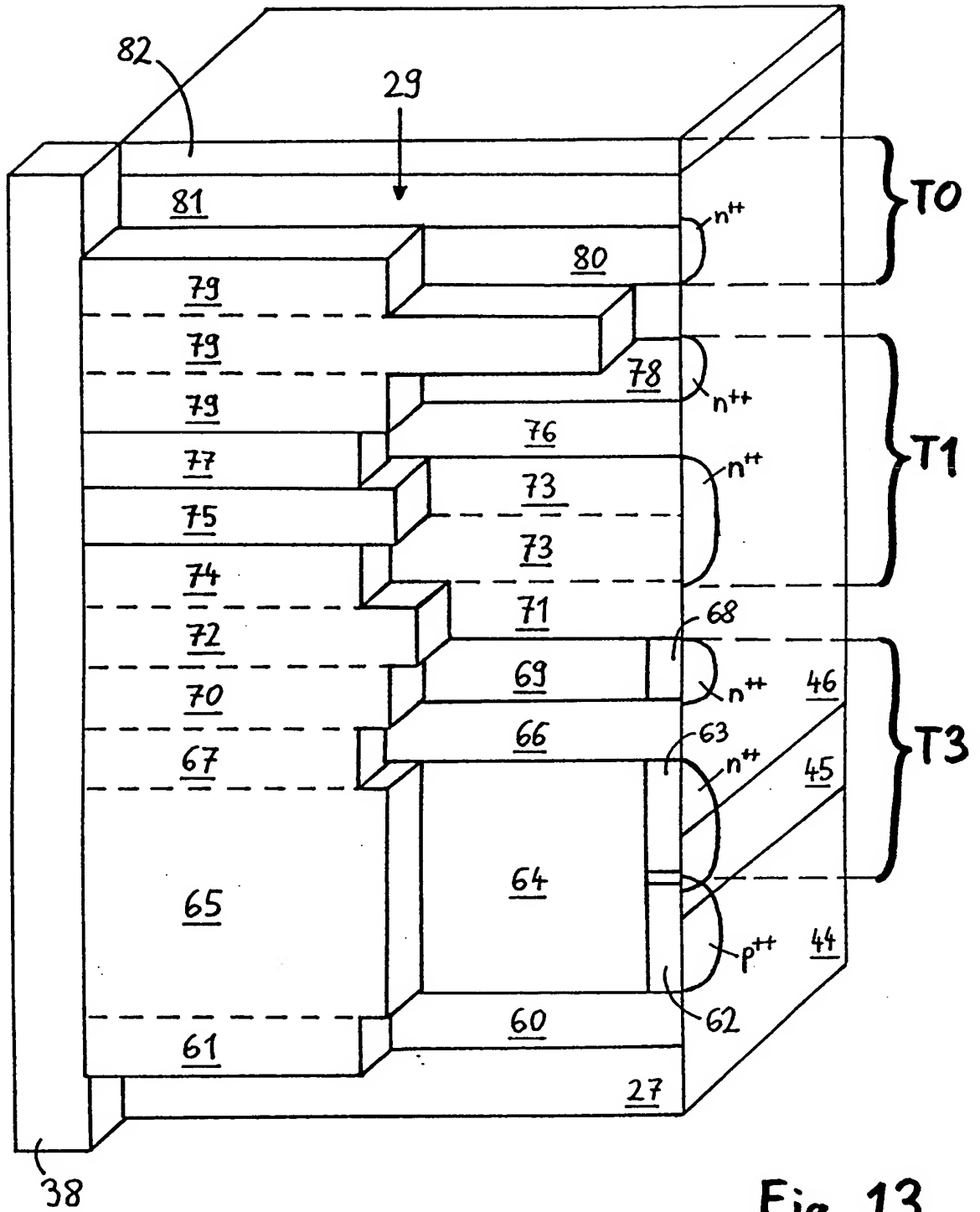


Fig. 13